

MANUFACTURE OF SEMICONDUCTOR DEVICE

Patent Number: JP2000156360
Publication date: 2000-06-06
Inventor(s): HATANAKA MASANOBU; TAKADA NAOYUKI; MIYAJIMA MOTOMORI; MIYATA SHUICHI
Applicant(s): FUJITSU LTD;; FUJITSU VLSI LTD
Requested Patent: JP2000156360
Application Number: JP19990186411 19990630
Priority Number(s):
IPC Classification: H01L21/304; H01L21/76
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To improve a throughput in a step for burying an insulating film into a recessed part and keep flatness of a polished face, in a method for manufacturing a semiconductor device that includes a step for polishing an oxide insulating film with an uneven film on its surface.

SOLUTION: A manufacturing method includes a step for forming an abrasion stopping film 26 with an opening on a semiconductor substrate 21, etching the semiconductor substrate 21 through the opening to form grooves 23a to 23d, and forming an insulating film 27 in the grooves 23a to 23d and on the semiconductor substrate 21. The method further includes a step for feeding first polishing slurry on the polishing face of the insulating film 27, polishing the oxide insulating face using first polishing cloth 102 having a polishing face with first polishing hardness, feeding second polishing slurry to the polishing face of the insulating film 27, and polishing the polishing face of the oxide insulating film 27 by using second polishing cloth with second hardness lower than the first hardness until the abrasion stopping film 26 is exposed.

Data supplied from the esp@cenet database - I2

(11)特許出願公開番号
特開2000-156360
(P2000-156360A)

(43)公開日 平成12年6月6日(2000.6.6)

(51)Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 1 L 21/304	6 2 2	H 0 1 L 21/304	6 2 2 F 5 F 0 3 2
			6 2 2 S
			6 2 2 X
21/76		21/76	L

審査請求 未請求 請求項の数15 O L (全 32 頁)

(21)出願番号	特願平11-186411
(22)出願日	平成11年6月30日(1999.6.30)
(31)優先権主張番号	特願平10-185474
(32)優先日	平成10年6月30日(1998.6.30)
(33)優先権主張国	日本(JP)

(71)出願人 000055223
富士通株式会社
神奈川県川崎市中原区上小田中4丁目1番
1号

(71)出願人 000237617
富士通ヴィエルエスアイ株式会社
愛知県春日井市高蔵寺町2丁目1844番2

(72)発明者 畠中 正信
愛知県春日井市高蔵寺町二丁目1844番2
富士通ヴィエルエスアイ株式会社内

(74)代理人 100091672
弁理士 岡本 啓三

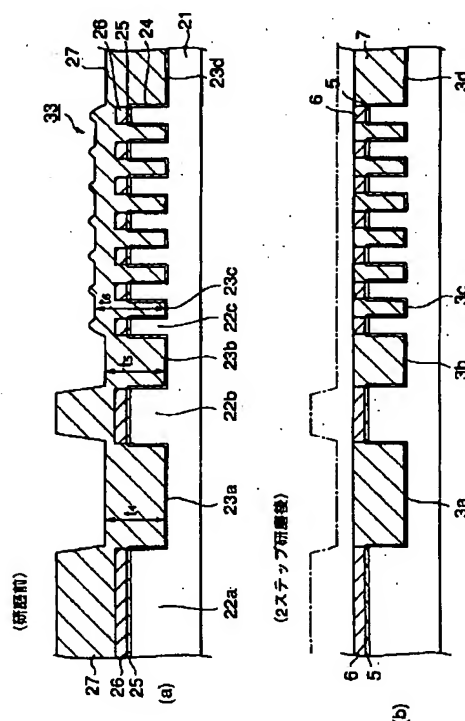
[最終頁に続く](#)

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】本発明は、表面に凹凸のある酸化絶縁膜を研磨する工程を含む半導体装置の製造方法に関し、凹部内に絶縁膜を埋め込む際のスループットを向上するとともに、その研磨面の平坦性を向上すること。

【解決手段】半導体基板 2 1 上に開口部を有する研磨ストップ膜 2 6 を形成し、開口部を通して半導体基板 2 1 をエッチングして溝 2 3 a ~ 2 3 d を形成し、溝 2 3 a ~ 2 3 d の中と半導体基板 2 1 の上に絶縁膜 2 7 を形成する工程と、第 1 の研磨スラリーを絶縁膜 2 7 の研磨面に供給するとともに第 1 の硬さの研磨表面を有する第 1 の研磨布 1 0 2 を用いて酸化絶縁膜を研磨し、続いて、第 2 の研磨スラリーを絶縁膜 2 7 の研磨面に供給するとともに第 1 の硬さよりも軟い第 2 の硬さを有する第 2 の研磨布 1 0 1 を用いて研磨ストップ膜 2 6 が露出するまで酸化絶縁膜 2 7 の研磨面を研磨する工程を含む。



【特許請求の範囲】

【請求項1】半導体基板の主面の上に絶縁膜を形成する工程と、

第1の硬さを有する第1の研磨布を用いて前記絶縁膜の一部を研磨する工程と、

前記第1の研磨布による前記絶縁膜の研磨の後に、前記第1の硬さよりも軟い第2の硬さを有する第2の研磨布を用いて、前記絶縁膜を研磨する工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】前記絶縁膜を形成する前に、前記半導体基板の上の第1の領域に研磨ストップ膜を形成する工程と、前記研磨ストップ膜に覆われない第2の領域に溝を形成する工程を有し、

前記第2の研磨布による前記絶縁膜の研磨は、前記研磨ストップ膜が露出するまで続けられることを特徴とする請求項1に半導体装置の製造方法。

【請求項3】前記絶縁膜はシリコン酸化膜であることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】前記第1の研磨布により前記絶縁膜を研磨する際には、第1のスラリーが前記絶縁膜の上に供給され、

前記第2の研磨布により前記絶縁膜を研磨する際には、第2のスラリーが前記絶縁膜の上に供給されることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項5】前記第1の研磨布は、圧縮加重に対する圧縮歪み量の比が $0.06 \mu\text{m} \cdot \text{cm}^2 / \text{g}$ 以下であることを特徴とする請求項1又は請求項3に記載の半導体装置の製造方法。

【請求項6】前記第2の研磨布による前記絶縁膜の研磨の後に、前記研磨ストップ膜を除去することによって、前記溝内に充填された前記絶縁膜を前記半導体基板の上面から突出させて凸部を形成する工程とを有することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項7】前記絶縁膜はプラズマCVD法により形成されたシリコン酸化膜であって、前記研磨ストップ膜はCVD法により形成されたシリコン窒化膜であることを特徴とする請求項2に記載の半導体装置の製造方法。

【請求項8】前記研磨ストップ膜と前記半導体基板の間に初期酸化膜を形成する工程をさらに含むとともに、前記半導体基板はシリコン基板であり、前記絶縁膜はCVD法により形成されたシリコン酸化膜であり、

前記研磨ストップ膜はCVD法により形成されたシリコン窒化膜であり、

前記初期酸化膜は前記半導体基板の表面に形成されたシリコン酸化膜であり、

前記第2の研磨布により前記絶縁膜を研磨した後の状態では、前記溝に埋め込まれた前記絶縁膜の膜厚の値は、前記溝の底から前記研磨ストップ膜の最上面までの高さの値の1倍～2倍の範囲に存在することを特徴とする請

求項2に記載の半導体装置の製造方法。

【請求項9】前記絶縁膜よりも研磨速度の遅い研磨用被覆膜を前記絶縁膜の上に形成する工程をさらに有することを特徴とする請求項2に記載の半導体装置の製造方法。

【請求項10】前記半導体基板はシリコン基板であり、前記絶縁膜はCVD法により形成されたシリコン酸化膜であり、

前記研磨ストップ膜はCVD法により形成されたシリコン窒化膜であり、

前記第2の研磨布により前記絶縁膜を研磨した後の状態では、前記溝に埋め込まれた前記絶縁膜の膜厚は、前記溝の底から前記研磨ストップ膜の最上面までの高さの1.1倍～1.5倍の範囲に存在し、

前記研磨用被覆膜は $30 \text{ nm} \sim 150 \text{ nm}$ の膜厚を有することを特徴とする請求項9に記載の半導体装置の製造方法。

【請求項11】前記溝の中には、前記半導体基板の一部を突出させてなる微小凸部を有することを特徴とする請求項2に記載の半導体装置の製造方法。

【請求項12】前記第2の研磨布を使用して前記絶縁膜を研磨する工程においては、前記絶縁膜の研磨から前記研磨ストップ膜の研磨に変わる際の前記第2の研磨布による研磨トルクの変化を検出する方法によって研磨終了点を検出することを特徴とする請求項2に記載の半導体装置の製造方法。

【請求項13】前記第2の研磨布を使用して前記絶縁膜を研磨する工程においては、前記絶縁膜に向けて波長 $100 \text{ nm} \sim 1000 \text{ nm}$ の単一波長のレーザー光を照射して、前記絶縁膜の研磨から前記研磨ストップ膜の研磨に変わる際の前記レーザー光の反射強度の変化点を検出する方法によって研磨終了点を検出することを特徴とする請求項2に記載の半導体装置の製造方法。

【請求項14】前記半導体基板は、 $1 \times 10^4 \text{ N/m}^2 \sim 1 \times 10^{10} \text{ N/m}^2$ のヤング率を有する弾性体が下部に形成された研磨ヘッドの下に取り付けられることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項15】前記半導体基板の前記主面の凹凸の段差は、 20 mm 四方の任意の領域において 200 nm 未満であり、かつ、 5 mm 四方の任意の領域において 50 nm 未満であることを特徴とする請求項1に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関し、より詳しくは絶縁膜の研磨工程やシャロートレンチアイソレーション(STI)の形成工程を含む半導体装置の製造方法に関する。

【0002】

【従来の技術】近年、半導体デバイスにおいては、微細

化の進展に伴い、従来から用いていたLOCOS (Local oxidation of silicon) 法を用いた素子分離方法では、素子間を精度良く分離することが難しくなってきた。そのため、LOCOS法に代わる新しい素子分離方法としてシャロートレンチを用いた方法が注目され、すでに使用されつつある。

【0003】図1～図3は、従来のシャロートレンチの形成工程を示す断面図である。まず、図1(a)に示すように、シリコン基板1の表面に酸化膜5と窒化膜6をこの順に形成する。続いて、図1(b)に示すように、フォトリソグラフィ法により素子分離領域となる領域の窒化膜5及び酸化膜6を除去する。

【0004】さらに、図1(c)に示すように窒化膜6及び酸化膜5をマスクとしてシリコン基板1をエッチングにより除去して種々の幅を有する第1の溝3a～第4の溝3dを浅く形成する。このとき、溝によってシリコン基板1が区画されることによって、狭い面積の第1の溝3cによって区画された領域は狭い面積の凸状の第1の素子領域2cとなり、中程度の幅の溝3bによって区画された領域は中程度の面積の第2の素子領域2bとなり、広い幅の溝3a、3dにより区画された領域は広い面積の第3の素子領域2aとなる。

【0005】次いで、図2(a)に示すように、膜厚が第1～第3の溝3a～3dの深さよりも厚いシリコン酸化膜7をシリコン基板1上に形成して第1の溝3a～第4の溝3dを埋め込む。この場合、幅の狭い第4の溝3d内にシリコン酸化膜7を緻密に埋め込む条件でシリコン酸化膜7を形成すると、シリコン酸化膜7の膜厚は広い幅の第1の素子領域2aの上で最も厚くなる一方、狭い幅の第3の素子領域2c上で最も薄くなるのが一般的である。また、幅の広い第1、第2の溝3a、3bのシリコン酸化膜7の膜厚 t_1 、 t_2 よりも幅の狭い第3の溝3bが集まっている領域の膜厚 t_3 が厚くなる。

【0006】次に、図2(b)に示すように全面にフォトレジスト8を形成する。続いて、フォトレジスト8を露光、現像してフォトレジスト8に窓9a、9bを形成する。それらの窓9a、9bの形成位置は、幅の広い第1の素子領域2a及び中程度の幅の第2の素子領域2bの上方の位置である。続いて、窓9a、9bを通してシリコン酸化膜7をエッチングする。この場合のシリコン酸化膜7のエッチング深さは窒化膜6を露出させない程度に浅くしてもよい。

【0007】次いで、図3(a)に示すようにレジスト膜8を除去した後に、図3(b)に示すようにシリコン酸化膜7の表面を研磨する。この場合、第1の素子領域2aと第2の素子領域2bの上のシリコン酸化膜7の研磨は容易に進み、窒化膜6で研磨が実質的に停止する。これにより、第1～第4の溝3a～3d内にシリコン酸化膜7が埋め込まれ、第1～第3の素子領域2a～2cではシリコン酸化膜7が除去された状態になる。

【0008】シリコン酸化膜7が埋め込まれた第1～第4の溝3a～3dは、シャロートレンチとなって第1～第3の素子領域2a～2cを分離することになる。以上のような工程において、第1の素子領域2a及び第2の素子領域2bの上のシリコン酸化膜7の幅を狭くするのは、シリコン酸化膜7のうち膜厚の厚い部分での研磨を促進してシリコン酸化膜7の研磨面を平坦にするためである。最も広い幅の第1の素子領域2a及び中程度の幅の第2の素子領域2bにシリコン酸化膜7を厚く残すと、その領域の研磨抵抗が大きくなって、均一な研磨が得られ難くなるからである。

【0009】

【発明が解決しようとする課題】ところで、上記したシャロートレンチの作成方法によれば、フォトリソグラフィ工程とエッチング工程と研磨工程という複数の異なる工程が必要になるので、半導体装置の製造の工程が増えることになる。また、シリコン酸化膜7の膜厚にバラツキがある場合に、エッチングの後に第1及び第2の素子領域2a、2b上にシリコン酸化膜7が残ったり、第1及び第2の素子領域2a、2bの上に残るシリコン酸化膜7の膜厚にバラツキが生じているので、上記した方法ではシリコン酸化膜7の膜厚のバラツキを解消することはできない。

【0010】さらに、シリコン酸化膜7が均一であるとしても、例えば25枚の半導体ウェハのSTIを形成したところ、図4に示すようなエッチング量のバラツキが生じて、半導体ウェハ上に残ったシリコン酸化膜7の膜厚は不均一になり易い。素子領域2a～2c上の各々のシリコン酸化膜7の膜厚が不均一になる場合に素子領域2a～2cからシリコン酸化膜7が完全に除去されるまで研磨すると、第1～第4の溝3a～3dの中でも研磨が進んでその中のシリコン酸化膜7の上面が湾曲し、皿形状(ディッシング)となる。

【0011】本発明の目的は、シャロートレンチ形成のスループットを向上するとともに、溝の中に埋め込まれたシリコン酸化膜の研磨による平坦性を向上することができる半導体装置の製造方法を提供するものである。

【0012】

【課題を解決するための手段】上記した課題は、半導体基板の主面の上に絶縁膜を形成する工程と、第1の硬さを有する第1の研磨布を用いて前記絶縁膜の一部を研磨する工程と、前記第1の研磨布による前記絶縁膜の研磨の後に、前記第1の硬さよりも軟い第2の硬さを有する第2の研磨布を用いて、前記絶縁膜を研磨する工程とを有することを特徴とする半導体装置の製造方法によって解決される。

【0013】上記した半導体装置の製造方法において、前記半導体基板の前記主面の凹凸の段差は、例えば20mm四方の任意の領域において200nm未満であり、かつ、5mm四方の任意の領域において例えば50nm

未満であることが好ましい。上記した半導体装置の製造方法において、前記半導体基板は、 $1 \times 10^4 \text{ N/m}^2 \sim 1 \times 10^{10} \text{ N/m}^2$ のヤング率を有する弾性体が下部に形成された研磨ヘッドの下に取り付けられるようにしてもよい。

【0014】上記した半導体装置の製造方法において、前記絶縁膜は、例えばシリコン酸化膜である。上記した半導体装置の製造方法において、前記第1の研磨布により前記絶縁膜を研磨する際には、第1のスラリーが前記絶縁膜の上に供給され、前記第2の研磨布により前記絶縁膜を研磨する際には、第2のスラリーが前記絶縁膜の上に供給されるようにしてもよい。

【0015】上記した半導体装置の製造方法において、前記第1の研磨布は、圧縮加重に対する圧縮歪み量の比が $0.06 \mu\text{m} \cdot \text{cm}^2 / \text{g}$ 以下であることが好ましい。上記した半導体装置の製造方法において、前記第2の研磨布による前記絶縁膜の研磨の後に、前記研磨ストップ膜を除去することによって、前記溝内に充填された前記絶縁膜を前記半導体基板の上面から突出させて凸部を形成する工程とを含むようにしてもよい。

【0016】上記した半導体装置の製造方法において、前記絶縁膜を形成する前に、前記半導体基板の上の第1の領域に研磨ストップ膜を形成する工程と、前記研磨ストップ膜に覆われない第2の領域に溝を形成する工程を有し、前記第2の研磨布による前記絶縁膜の研磨は、前記研磨ストップ膜が露出するまで続けられるようにしてもよい。この場合、前記絶縁膜はプラズマCVD法により形成されたシリコン酸化膜であって、前記研磨ストップ膜はCVD法により形成されたシリコン窒化膜であるようにしてもよい。

【0017】この場合、前記研磨ストップ膜と前記半導体基板の間に初期酸化膜を形成する工程をさらに含むとともに、前記半導体基板はシリコン基板であり、前記絶縁膜はCVD法により形成されたシリコン酸化膜であり、前記研磨ストップ膜はCVD法により形成されたシリコン窒化膜であり、前記初期酸化膜は前記半導体基板の表面に形成されたシリコン酸化膜であり、前記第2の研磨布により前記絶縁膜を研磨した後の状態では、前記溝に埋め込まれた前記絶縁膜の膜厚の値は、前記溝の底から前記研磨ストップ膜の最上面までの高さの値の1倍～2倍の範囲に存在するようにしてもよい。

【0018】また、前記絶縁膜よりも研磨速度の遅い研磨用被覆膜を前記絶縁膜の上に形成する工程をさらに含むようにしてもよい。ここで、前記半導体基板はシリコン基板であり、前記絶縁膜はCVD法により形成されたシリコン酸化膜であり、前記研磨ストップ膜はCVD法により形成されたシリコン窒化膜であり、前記第2の研磨布により前記絶縁膜を研磨した後の状態では、前記溝に埋め込まれた前記絶縁膜の膜厚は、前記溝の底から前記研磨ストップ膜の最上面までの高さの1.1倍～1.

5倍の範囲に存在し、前記研磨用被覆膜は $30 \text{ nm} \sim 150 \text{ nm}$ の膜厚を有するようにしてもよい。

【0019】また、前記溝の中には、前記半導体基板の一部を突出させてなる微小凸部を形成するようにしてもよい。また、前記第2の研磨布を使用して前記絶縁膜を研磨する工程においては、前記絶縁膜の研磨から前記研磨ストップ膜の研磨に変わる際の前記第2の研磨布による研磨トルクの変化を検出する方法によって研磨終了点を検出するようにしてもよい。

【0020】また、前記第2の研磨布を使用して前記絶縁膜を研磨する工程においては、前記絶縁膜に向けて波長 $100 \text{ nm} \sim 1000 \text{ nm}$ の単一波長のレーザ光を照射して、前記絶縁膜の研磨から前記研磨ストップ膜の研磨に変わる際の前記レーザ光の反射強度の変化点を検出する方法によって研磨終了点を検出するようにしてもよい。

【0021】次に、上記した発明の作用について説明する。本発明においては、半導体基板に形成した溝内に絶縁膜を充填する際に、研磨布を変える2ステップの研磨によって半導体基板上の絶縁膜を除去するようにしている。これによれば、第1ステップの研磨によって絶縁膜の凸部の体積を減らし、その後の第2ステップの研磨による平坦化が促進される。

【0022】第1ステップの研磨工程の研磨では、研磨布として圧縮加重 (g/cm^2) に対する圧縮歪み量 (μm) の比が $0.06 (\mu\text{m} \cdot \text{cm}^2 / \text{g})$ 以下の硬さの硬い研磨表面を有する研磨布を用い、研磨剤として酸素を主成分とする絶縁膜の研磨レートが 200 nm/分 以下と小さい第1の研磨レートとなるような研磨剤を用いて研磨する。

【0023】第1ステップの研磨工程では、被研磨基板の表面の凹凸差が小さくなった時点で研磨レートが非常に遅くなるため、ここで研磨を終了する。第2ステップの研磨工程では、絶縁膜の研磨レートが第1の研磨レートよりも大きい第2の研磨レートとなるような研磨剤を用い、かつ第1の研磨布に比べて軟らかい研磨布を用いる。そして、研磨対象物の研磨布への押圧力を小さくして研磨布の表面追随性を低下させ、かつ研磨布を高速回転させて線速度を上げて研磨を行う。

【0024】ここで、研磨布の表面追随性とは、被研磨基板の被研磨面に凹凸が存在し、かつ研磨布が比較的軟らかい場合、研磨中に被研磨面の凹凸に従って研磨布の表面が変形する性質をいう。第2ステップの研磨工程において、研磨レートが大きくなるような研磨剤を用い、かつ比較的軟らかい研磨布を用いるのは、表面を平坦化するためである。

【0025】第2ステップの研磨工程では酸素を主成分とする研磨ストップ膜が現れ、研磨面が平坦になった時点で研磨が終る。これにより、半導体基板の溝が絶縁膜により埋め込まれ、平坦化した基板表面が得られる。こ

れに対して、従来の技術、即ち第1ステップの研磨を省略して第2ステップの研磨と同じ条件だけで研磨を行った場合には、研磨は被研磨基板のパターンの疎密の影響を受けて微細な凸部領域の研磨の制御が不可能になる。

【0026】なお、絶縁膜が充填された溝は、素子分離として適用してもよいし、或いは、溝から突出した絶縁膜の凸部、又は、その凸部に囲まれた凹部をアライメントマークとして適用してもよい。ところで、層間絶縁膜の表面に凹凸が生じている場合に、特定のスラリーを用いて特定の硬さの研磨布によって層間絶縁膜を研磨すると、従来の研磨方法に比べてその平坦性は改善される。そのスラリーとしては、OH基を有する分散剤中にシリカ系物質又は酸化セリウムよりなる砥粒を含むものがある。また、研磨布としては、圧縮加重に対する圧縮歪み量の比が $0.06 \mu\text{m} \cdot \text{cm}^2 / \text{g}$ 以下である硬さのものが好ましい。この場合、被研磨基板と研磨布の相対線速度は $40 \text{ nm} / \text{分}$ が好ましい。

【0027】

【発明の実施の形態】以下に、本発明の実施の形態について図面を参照しながら説明する。

(第1の実施の形態) まず、本発明の実施の形態に用いられる研磨装置について説明し、その後その研磨装置を用いた研磨方法について説明する。

【0028】研磨装置

図5(a)、(b)は本発明の実施の形態に用いられる研磨装置について示す側面図であり、図5(a)はその側面図、図5(b)はその上面図である。その研磨装置は、研磨板31とその上に配置される基板保持具32とを有している。

【0029】研磨板31は、基台101とその上面に張りつけられる研磨布102とを有し、さらにその下面の中心には回転可能な支持軸103が固着されている。基台101は、例えばアルマイトにより被覆されたアルミニウム板や熱変形の小さい大理石、御影石などの石板から構成されている。研磨布102として第1の研磨工程では非常に硬いものを用い、第2の研磨工程で軟らかいものを用いる。硬い研磨布として、例えば厚さ $1270 \mu\text{m}$ の発砲性ポリウレタンからなるローデル(Rodel)社製の商品名IC-1000があり、また軟らかい研磨布として、例えばローデル社製の不織布構造の商品名Suba400がある。

【0030】研磨布102としては、渦巻き状の溝(Kグループ)、又は縦横の格子状の溝、又は多数の孔などが研磨面に形成されたものを用いる。基板保持具32は、保持台104とリテーナリング105とを有している。基板保持具32の保持台104は、その下面に、表面張力を利用して被研磨基板(研磨対象物)33が張りつけられ、また、その上面の中央には回転可能な支持軸106が取付けられている。さらに、保持台104には、押し下げられる方向に押圧力Pが加えられ、これに

よって被研磨基板33全体を研磨布102に押圧できるようにになっている。保持台104には、保持台104を貫通する多数の小孔(不図示)が形成されており、小孔に窒素等ガスを外部から吹き込んで被研磨基板33に吹き出させることによって被研磨基板33への押圧力を部分的に調整することができるようになっていている構造のものもある。この押圧力は、研磨剤とともに研磨対象物の研磨レートを左右する。

【0031】基板保持具32のリテーナリング105は、保持台104の下面における被研磨基板33の横方向の移動を規制するために設けられているものである。またリテーナリング105は、保持台104下側に被研磨基板33を貼り付けた状態で、被研磨基板33の下面からの被研磨基板33の突出量と同程度の突出量となるように保持台104の周縁に取付けられる。リテーナリング105は、高さを調節できない固定式のもの又は高さを調節できる調整式のものがあり、どちらを選択してもよい。

【0032】研磨装置は、その製造元の違いによって基板保持具32の構造が異なっているため、被研磨基板を押圧する力についての呼び方が異なる。研磨装置として、例えば、ストラスパー社の商品名6DP-SPや商品名6EDではウェハを貼り付けた板がウェハを下方に押す力をダウンホースといい、ウェハを貼り付ける板に設けられている小孔から放出されるガスがウェハを押す力をバックプレッシャーという。

【0033】研磨装置MIRRA3400(商品名)の場合、保持台104の保持面のメンブレンに加わる圧力をメンブレン圧力といい、保持台104の裏側をゴムチューブにより加える圧力をインナーチューブ圧力という。なお、押圧力とは異なるが、保持台104上に突出する高さを調整するためにリテーナリング105に加える圧力であるリテーナリング圧力も規定することがある。研磨レートに多少影響を与えるためである。

【0034】また、研磨の最中には研磨面に研磨剤が供給される。研磨剤として、分散剤又は研磨促進剤に砥粒を分散させたものを使用する。分散剤又は研磨促進剤としては、テトラメチルアンモニウムハイドロキシサイド(TMAH; $(\text{CH}_3)_4\text{NOH}$)アミン系材料のような有機物、又はKOH、 NH_4OH などの無機物を使用する。砥粒として、コロイダルシリカ、ヒュームドシリカのようなシリカ、又は酸化セリウム(CeO_2)を用いる。

【0035】次に、図5に示す研磨装置を用いて被研磨基板33を研磨する方法の概要について説明する。まず、基板保持具32の保持台104の下面に被研磨基板33を貼り付ける。次に、基板保持具32を降ろして被研磨基板33の被研磨面を研磨布102の表面に接触させる。そして、研磨板31と基板保持具32ともに支持軸106を中心として互いに回転させ、更に、研磨板31の上で基板保持具32をX軸方向に一定の速度で往復

動させる。その往復動作を以下に振動という。

【0036】この場合、2つの支持軸103、106の駆動力により回転する保磁台104と基台101の相対速度を所定の値に設定するとともに、振動の速度を所定の値に設定して、被研磨基板33を研磨する。そのような回転動作と振動によって被研磨基板33の研磨が進むが、本実施形態では研磨の最初から最後まで同じ条件で研磨するのではなく、研磨条件を変えて2ステップで実施する。

【0037】この2ステップの研磨条件として、研磨剤、研磨布又は回転速度のうちの少なくとも1つの条件を異ならせる。研磨剤については上記した材料から選択する。研磨布については、第1ステップに使用する研磨布として、第2ステップで使用する研磨布よりも硬いものを選択する。例えば第1の研磨工程では、図6に示すように、研磨布102として圧縮加重に対する圧縮歪み量の比が $0.06 \mu\text{m} \cdot \text{cm}^2 / \text{g}$ 以下の硬い研磨表面を有するものを用いることが必要である。例えばローデル社の商品名IC-1000はその条件を満たしている。

【0038】研磨布102が単一材料により形成された単層構造を有する場合には、その研磨布102の素材の特性を示す物理量のうちのヤング率が、 $10^6 \sim 10^9 \text{ N/m}^2$ オーダー、好ましくは $1 \times 10^7 \text{ N/m}^2 \sim 5 \times 10^8 \text{ N/m}^2$ である素材から整形された研磨布を使用する。一方、研磨布102である商品名Suba400は図7に示すような柔らかい性質を有しているので、第1の研磨工程に使用するよりも第2の研磨工程で使用するのが好ましい。また、ローデル社の研磨布である商

$$\begin{aligned} V_{py} &= -L_1 \omega_1 \cos \theta = -L_1 \omega_1 (L_0 - l_0 \sin \omega_3 t - X) / L_1 \\ &= -\omega_1 (L_0 - l_0 \sin \omega_3 t - X) \end{aligned} \quad (2)$$

【0044】②基板保持具32による線速度 (v_{hx} , v_{hy}) は次式 (3)、(4) で示される。

【0045】

【数3】

$$V_{hx} = -L_2 \omega_2 \sin \phi = -L_2 \omega_2 Y / L_2 = -\omega_2 Y \quad (3)$$

【0046】

【数4】

$$V_{hy} = L_2 \omega_2 \cos \phi = L_2 \omega_2 X / L_2 = \omega_2 X \quad (4)$$

【0047】③基板保持具32の振動 f は次の式 (5) で表される。ただし、ヘッドの振動が角速度 ω_3 で周期的に振動しているとする。

【0048】

【数5】

$$f = L_0 - l_0 \sin \omega_3 t \quad (5)$$

【0049】また、振動の微分値 f' は、時間の関数として基板保持具32のX軸方向の線速度に影響を与え、次の式 (6) で表される。

【0050】

【数6】

品名IC1400も使用可能である。

【0039】なお、図6及び図7の縦軸は線形目盛りで表した圧縮歪み量を示し、横軸は線形目盛りで表した圧縮加重を示す。次に、研磨装置における被研磨基板33表面の複数の点における線速度について説明する。被研磨基板33の所定部分での線速度は、以下のような式から求められる。以下の式において、図5(b)に見られるように、研磨板31の半径を L_0 とし、研磨板31の中心及び基板保持具32の中心からそれぞれ被研磨基板33上の任意の点 (x , y) に至る距離を L_1 , L_2 とする。また、研磨板31の中心及び基板保持具32の中心と点 (x , y) とを結ぶ2つの直線とX軸とのなす内角の角度をそれぞれ θ , ϕ とする。さらに、基板保持具32の中心が振動する範囲を研磨板31の中心からX軸方向に所定の距離10内とする。

【0040】また、研磨板31及び基板保持具32はそれぞれ支持軸103、106を中心として同じ方向に回転し、それらの角速度をそれぞれ ω_1 及び ω_2 とする。この場合、任意の点 (x , y) において、プラテン (研磨板31) による線速度、ヘッド (基板保持具32) による線速度およびヘッドの振動成分は、それぞれ次のような式で示される。

【0041】①研磨板31による線速度 (v_{px} , v_{py}) は次式 (1)、(2) で示される。

【0042】

【数1】

$$V_{px} = -L_1 \omega_1 \sin \theta = -L_1 \omega_1 Y / L_1 = -\omega_1 Y \quad (1)$$

【0043】

【数2】

$$f' = d(L_0 - l_0 \sin \omega_3 t) / dt = l_0 \omega_3 \cos \omega_3 t \quad (6)$$

【0051】以上のことから、被研磨基板33表面の任意の点 (x , y) における線速度は①～③を合成して式 (7)、(8) で表される。但し、研磨板31と基板保持具32の回転方向は同一の方向としている。

【0052】

【数7】

$$\begin{aligned} V_x &= V_{px} - V_{hx} - l_0 \omega_3 \cos \omega_3 t \\ &= (\omega_2 - \omega_1) Y - l_0 \omega_3 \cos \omega_3 t \end{aligned} \quad (7)$$

【0053】

【数8】

$$\begin{aligned} V_y &= V_{py} - V_{hy} \\ &= -\omega_1 (L_0 - l_0 \sin \omega_3 t) - (\omega_2 - \omega_1) X \end{aligned} \quad (8)$$

【0054】上記した式を各社の研磨装置に適用した場合の被研磨基板33の線速度を以下の条件の下で上記の式を用いて計算した結果を表1に示す。表1の計算では、各社の研磨装置の回転の条件を次のような値とした。但し、表1中の測定点A～Eは、図5(b)に示した被研磨基板33の中央の点をAとし、左右の点をB、C

とし、上下の点をD、Eとした。なお、表1を求める際に振動成分を計算に含めなかった。

【0055】①研磨装置6DP-SP

$L0 = 17.5 \text{ cm}$

◇第1ステップの研磨

基板保持具の回転数=45 rpm

研磨板の回転数=45 rpm

$\omega 1 = 90\pi \text{ rad/min}$

$\omega 2 = 90\pi \text{ rad/min}$

◇第2ステップの研磨

基板保持具の回転数=30 rpm

研磨板の回転数=30 rpm

$\omega 1 = 60\pi \text{ rad/min}$

$\omega 2 = 60\pi \text{ rad/min}$

②研磨装置6ED

$L0 = 24 \text{ cm}$

◇第1及び第2の研磨工程

基板保持具の回転数=40 rpm

研磨板の回転数=33 rpm

$\omega 1 = 66\pi \text{ rad/min}$

$\omega 2 = 80\pi \text{ rad/min}$

③研磨装置MIRRA3400

$L0 = 12.7 \text{ cm}$

◇第1及び第2の研磨工程

基板保持具の回転数=97 rpm

研磨板の回転数=103 rpm

$\omega 1 = 206\pi \text{ rad/min}$

$\omega 2 = 194\pi \text{ rad/min}$

【0056】

【表1】

工 程	位 置	6 DS-SP		6 ED		MIRRA 3400	
		V_x	V_y	V_x	V_y	V_x	V_y
第一の研磨工程	A	0	-4948	0	-4976	0	-8219
	B	0	-4948	0	-4096	0	-8973
	C	0	-4948	0	-5856	0	-7465
	D	0	-4948	880	-4976	-754	-8219
	E	0	-4948	-880	-4976	754	-8219
第二の研磨工程	A	0	-3299	0	-4976	0	-8219
	B	0	-3299	0	-4096	0	-8973
	C	0	-3299	0	-5856	0	-7465
	D	0	-3299	880	-4976	-754	-8219
	E	0	-3299	-880	-4976	754	-8219

注) 1. 単位はcm/minである。

2. 符号は、(X方向は右向きが正)
(Y方向は上向きが正)を示す。

【0057】次に、半導体基板にシャロートレンチアイソレーションを形成する工程を例に挙げて、研磨の具体例を説明する。図8は、本発明の第1の実施の形態に係るシャロートレンチアイソレーションを作成する方法について示すフローチャートである。また、図9(a)～(c)、図10(a)、(b)はシャロートレンチアイソレーションを形成する工程を示す断面図である。

【0058】図8においてP1で示すSiN膜に被覆された凹凸のある基板の形成工程は次のようになる。まず、図9(a)に示すように、直径8インチのシリコン基板(半導体基板)1の表面に膜厚約10nmの酸化膜25と膜厚約100～250nmの窒化膜26を順に形成する。ここで、酸化膜は酸化シリコン(SiO_2)であり、窒化膜26は窒化シリコン(Si_3N_4)、窒化酸化シリコン(SiON)のように窒素を成分とする下地絶縁膜である。窒化シリコンを成長する場合には、例えば反応ガスとしてジクロールシラン(SiH_2Cl_2)とアンモニア(NH_3)

を用いて、成長温度を800℃、成長雰囲気圧力を約0.2Torrに設定する条件を採用する。

【0059】続いて、図9(b)に示すように、素子分離領域となる領域の窒化膜26及び酸化膜25を除去した後、図9(c)に示すように、窒化膜26及び酸化膜25に覆われない部分のシリコン基板21をエッチングして深さが0.2μm～0.5μm程度の浅い第1～第4の溝(凹部)23a～23dを形成する。このとき、第1～第4の溝23a～23dによりシリコン基板1の素子形成領域が区画され、0.25μm程度の狭い幅の第1の溝23cに隣接した領域は狭い面積の第1の素子領域22cとなり、幅10μmの中程度の幅の溝23bに隣接した領域は中程度の面積の第2の素子領域22bとなり、数十μm以上の広い幅の溝23a、23dに隣接した領域は広い面積の第3の素子領域2aとなる。

【0060】続いて、シリコン基板21の露出面を熱酸化して膜厚約10nmのシリコン酸化膜24を形成す

る。これによって、第1～第4の溝23a～23dに隣接する凸状の素子形成領域が窒化膜26により覆われた基板の形成工程が終了する。次に、図8に示すP2の工程に移る。この工程では、図10(a)に示すように、ICP（誘導結合型プラズマ）法、ECR（Electron Cyclotron Resonance）法のような、いわゆる高密度プラズマ（HDP（high density plasma）CVD（Chemical Vapor Deposition）法を用いて、シリコン基板21の表面に第1～第4の溝23a～23dの深さよりも厚い膜厚、例えば約730nm程度のシリコン酸化膜27をシリコン基板21に形成し、併せてこのシリコン酸化膜27を第1～第4の溝23a～23d内に完全に埋め込む。高密度プラズマCVD法を用いて成膜すると、幅の狭い第3の溝23c内へのシリコン酸化膜27の埋め込みがより完全に行われる。このシリコン酸化膜27は、不純物がドーパされたPSG、BPSG、BSGのようなものであってもよい。

【0061】HDP-CVD法によってシリコン酸化膜27を成長する場合には、例えば反応チャンバ（不図示）内に SiH_4 を約150sccm、酸素を約230sccm、希釈ガスを約400sccmの流量で導入する。そのシリコン酸化膜の露出面の形状は平坦ではなく、凹凸が生じている。しかも、第1の素子領域22a、第2の素子領域22bの上のシリコン酸化膜27の膜厚が厚くなる一方、狭い面積の第3の素子領域22cの上のシリコン酸化膜27の膜厚が薄くなっている。また、狭い第3の溝23cの埋込領域のシリコン酸化膜27の膜厚 t_6 は、第2の溝23b又は第1の溝23aの埋込領域のシリコン酸化膜27の膜厚 t_4 、 t_5 よりも厚くなっている。その厚くなっている量は溝23a～23dの深さが0.4 μm 、狭い第3の溝23cの幅が0.25 μm 程度の場合に、シリコン酸化膜27を第1の素子領域22aで約730nmの厚さに成長させると、 t_6 は t_4 、 t_5 よりも約1.1倍厚くなる。

【0062】この状態のシリコン基板21が、上記した被研磨基板33と呼ばれるものである。次いで、図1のP3に示す第1ステップの研磨工程に移る。第1ステップの研磨工程では、研磨布102として硬い商品名IC-1000を用いる。また、研磨剤として、フジミ社製の商品名PLANERLITE-6103、キャボット社の商品名SS-25、或いはロデール社製の商品名ロデール2371を用いる。PLANERLITE-6103、SS-25を用いる場合には純水により希釈する。研磨材料の種類による研磨結果の違いについては後述する。

【0063】まず、シリコン酸化膜27を下側にして被研磨基板33を基板保持具32の下面に取付けた後に、研磨板31を所定の回転数 R_1 で回転させるとともに、基板保持具32も研磨板31と同じ方向又は反対方向に所定の回転数 R_2 で回転させる。続いて、基板保持具32と研磨板31とを近づけると同時に流量350cc/

分でスラリーを研磨布102の上に流し、これにより研磨布102と被研磨基板33の間にスラリーを供給する。スラリーは、スラリー供給ノズル107から供給される。

【0064】そして、基板保持具32を押圧することによって被研磨基板33のシリコン酸化膜27と研磨布102を接触させて研磨を開始する。その研磨状態を所定の時間維持すると、狭い面積の第3の素子領域22c、及び中程度の面積の素子領域22b上に突出しているシリコン酸化膜27のみが硬い研磨布102によって主として研磨されてシリコン酸化膜27の体積が減少する。所定の研磨時間が経過した時点で第1ステップの研磨工程を終了する。

【0065】このように硬い研磨布102を用いると、凸部の突出量の大きな部分が選択的に研磨パッドに接触し、凸部は凹部に比べて強く研磨布102に接触するので凸部の研磨レートは速くなり、選択研磨が実現する。そして、第1ステップの初期段階では、主に凸部の平坦化に研磨が消費される。なお、第1ステップの研磨を有効に行うためには、第1～第4の溝23a～23dを除いた領域に存在するシリコン窒化膜26の残存領域が、ウエハ上面の全面積の10%以上、好ましくは30%以上であって最大70%程度の被研磨基板33を用いることが好ましい。

【0066】次に、図1のP4に示す第2ステップの研磨工程に移る。この第2ステップの研磨工程では、研磨布102としてIC-1400を用いて残りのシリコン酸化膜27を除去する。この場合のスラリーの材料を変える。その材料として、例えば、KOHを含む分散剤（研磨促進剤）中にヒームドシリカ（砥粒）を分散させたものを用いる。例えば、キャボット社のSS-25（商品名）があり、このSS-25を純水により1:1に希釈する。

【0067】このスラリーを研磨布102上に流量300cc/分で供給しながら、研磨板31を回転数 R_3 で回転させるとともに、基板保持具32も研磨板31と同じ方向又は逆方向に回転数 R_4 で回転させる。そして、被研磨基板33を研磨布102に押しつけると、シリコン酸化膜27の研磨が開始し、さらに窒化膜26を研磨終点として研磨を終了する。第2ステップの研磨では、柔らかい研磨布102に交換されるので、シリコン酸化膜27の凸部への研磨布102の押圧力が第1ステップの研磨よりも小さくなってシリコン酸化膜27の凸部の研磨量と凹部の研磨量の差が小さくなる。

【0068】そのような第2ステップの研磨工程では、図10(b)に示すように、広い面積の第1の素子領域22a上のシリコン酸化膜27も併せて研磨され、除去される。即ち、全ての素子領域22a～22c上のシリコン酸化膜27が研磨され、除去されてシリコン窒化膜26が現れ、この状態で研磨レートが小さくなる。全ての

窒化膜26が現れた時点で、研磨を停止する。これにより、シリコン酸化膜27が埋め込まれた第1～第3の溝23a～23dによって素子分離用のシャロートレンチアイソレーション(STI)が形成される。続いて、窒化膜26と酸化膜25を除去する。

【0069】その後、STIによって分離された第1～第3の素子領域22a～22cにDRAM、SRAM又はロジック回路、その他の素子を作成する。なお、上記した実施形態では、被研磨物である絶縁膜としてHDP-CVD法により形成されたシリコン酸化膜27を用いているが、成膜とスパッタエッチングを同時に或いは繰り返しながら成膜した膜を用いてもよい。このような膜であれば、第1の実施の形態と同じように狭い溝内への埋め込みがより完全になる。

【0070】次に、第1ステップの研磨と第2ステップの研磨の条件を変えた場合に、研磨がどのように相違するかを説明する。

第1例

図10(a)に示す状態で、シリコン酸化膜27の研磨に使用する研磨装置としてストラスパー社製の商品名6DS-SPを使用し、第1ステップの研磨と第2ステップの研磨を行なう。

【0071】まず、第1ステップの研磨は、研磨布102としてIC-1000を用いて行なう。また、スラリーとして、アミン系の分散剤(研磨促進剤)中にコロイダルシリカ(砥粒)を分散させた研磨剤(スラリー)を用いたもの。例えば、フジミ社製の商品名PLANERLITE-6103を使用する。その研磨布102、その他の研磨条件を表2に示す。

【0072】

【表2】

研磨装置	ストラスパー社 6DS-SP
1st. CMP	
研磨布	IC-1000
研磨スラリー	PLANERLITE 6103 : 純水=1 : 1
ダウンフォース	5 psi
バックプレッシャー	1 psi
研磨板回転数 R ₁	45 rpm
基板保持具回転数 R ₂	45 rpm
研磨レート	50nm/min以下

【0073】スラリーであるPLANERLITE-6103は、ポリシリコンの研磨剤として使用されるのが一般的であり、シリコン酸化膜27と化学的にほとんど反応しないため研磨レートは小さいが、上記した押圧力(ダウンフォース、バックプレッシャー)の条件などによって研磨レートを200nm/分以下になるように調整する。研磨レートを大きくすると、機械的な圧力が強くなって、第1

～第4の溝23a～23dの上のシリコン酸化膜27の研磨速度も大きくなるからである。

【0074】表2に示す条件によって図10(a)に示すシリコン酸化膜27を研磨すると、面積の大きな第1の素子領域22aの上のシリコン酸化膜27の上部は図11に示すように丸みを帯びてその体積が小さくなる。このように第1の素子領域22aのシリコン酸化膜27の凸部のみが丸みを帯びる程度に研磨されるのは次のような理由による。

【0075】即ち、面積の狭い第3の素子領域22c、及び中程度の面積の第2の素子領域22b上に突出しているシリコン酸化膜27はそれぞれ機械的に弱くなっているために、硬質の研磨布によって物理的な圧力が加わるからである。また、第1の素子領域22a上のシリコン酸化膜27は、その突出量が大いので研磨布102に押圧される力が強くその体積が大きく減少する。

【0076】以上のように、図10(a)において凸部となっているシリコン酸化膜27の量を減らすことで、次の第2の研磨工程において第1～第4の溝23a～23dの上のシリコン酸化膜27の過剰研磨が抑制される。次に、第2ステップの研磨工程に移る。第2ステップの研磨では研磨布をIC-1000からIC-1400に交換するとともに、商品名SS-25を純水で1対1の割合で希釈したスラリーとして使用する。IC-1400は、IC1000と同じ発泡ポリウレタンから成形されているが、その下にはSuba400と同程度の柔らかさを持った素材が形成されている2重構造を有する研磨布である。

【0077】この第2ステップの研磨条件を表3に示す。

【0078】

【表3】

研磨装置	ストラスパー社 6DS-SP
2nd. CMP	
研磨布	(IC-1400)
研磨スラリー	SS-25 : 純水=1 : 1
ダウンフォース	6 psi
バックプレッシャー	1 psi
研磨板回転数 R ₃	30 rpm
基板保持具回転数 R ₄	30 rpm
研磨レート	250 nm/min

【0079】一方、第2の研磨工程の研磨では、表3に示すように押圧力を小さくし、かつ研磨板31を比較的高速回転させ、さらに被研磨基板33の表面の凹凸に対する研磨板31表面の研磨布102の追従性(表面の凹凸に対する研磨布変形の追従性)を低下させて研磨する。これにより、面積の広い第1の素子領域22aに残

った厚いシリコン酸化膜27での研磨レートが高くなり、ついには窒化膜26の上のシリコン酸化膜27が除去される。窒化膜27は、研磨の終点検出用の膜として機能する。これにより、第1～第4の溝23a～23d内に埋め込まれたシリコン酸化膜27の表面から窒化膜26の表面を含む領域は平坦になる。

【0080】以上のように、第1ステップの研磨工程では、機械的要素が強い研磨を行って広い面積又は中程度の面積の第1又は第2の素子領域22a、22bに存在するシリコン酸化膜27の体積を減らすと、第2ステップの研磨を終えたときに第1～第4の溝23a～23d内のシリコン酸化膜27の上面が皿状に窪む現象、即ちディッシングが発生しにくくなる。

【0081】しかも、本実施形態では、従来技術のようにレジストを用いてシリコン酸化膜をエッチングする工程を有していないので、工程が短縮されてスループットが向上する。ところで、以上のような第1ステップの研磨工程を開始する前のシリコン酸化膜27の表面段差と第1ステップの研磨工程を終えた状態の被研磨基板の表面段差をそれぞれ段差測定器（HRP）によって測定したところ、図12～図15のようになった。

【0082】図12、図13は、初期のシリコン酸化膜27の表面の段差形状であり、図14、図15は第1ステップの研磨を終えたシリコン酸化膜27の表面の段差形状である。測定領域は、DRAMを形成しようとするシリコン基板のうち、スクライプ部分と、周辺回路領域内の大パターン形成部分と、セル部の周辺と、セル内部の4つの領域である。

【0083】窒化膜26が存在するスクライプ部分と周辺回路領域内の大パターン形成部分は、それ自体で面積が広いので、第1ステップの研磨を終えると、図12から図14への変化に見られるように、それらの部分の上に残るシリコン酸化膜27の凸部は角が丸められた状態になる一方で、セル部の周辺とセル内部では図13、図15を比較するとシリコン酸化膜の凸部がかなり低くなっていることわかる。

【0084】その後で、第2ステップの研磨を終えると、図10(b)に示すように被研磨基板33の研磨面は平坦になる。

第2例

図10(a)に示す状態で、シリコン酸化膜27の研磨に使用する研磨装置としてアブライドマテリアル社のMIRRA 3400を使用し、第1ステップの研磨と第2ステップの研磨を行なう。

【0085】第2例では、研磨布、スラリーについては第1例と同じものを用いた。第1ステップの研磨の条件を表4に示し、第2ステップの研磨の条件を表5に記載する。

【0086】

【表4】

研磨装置	アブライドマテリアル社 MIRRA 3400
1st. CMP	
研磨布	IC-1000
研磨スラリー	PLANERLITE 6103 : 純水=1 : 1
メンブレン圧力	5 psi
イナーチュウプ圧力	7 psi
リテーナリング圧力	9 psi
研磨板回転数 R ₁	103 rpm
基板保持具回転数 R ₂	97 rpm
研磨レート	120 nm/min

【0087】

【表5】

研磨装置	アブライドマテリアル社 MIRRA 3400
2nd. CMP	
研磨布	IC-1400
研磨スラリー	SS-25 : 純水=1 : 1
メンブレン圧力	3.5 psi
イナーチュウプ圧力	3 psi
リテーナリング圧力	5 psi
研磨板回転数 R ₃	103 rpm
基板保持具回転数 R ₄	97 rpm
研磨レート	330 nm/min

【0088】第1ステップの研磨工程では、第1例と同様に、面積の狭い第3の素子領域22cに突出しているシリコン酸化膜27は、硬い研磨布102との接触により物理的に除去され易い。一方、広い面積の第1の素子領域22a上のシリコン酸化膜27は機械的に強い上、研磨剤が研磨対象となるシリコン酸化膜と化学的に反応しにくいものであるため、その領域ではシリコン酸化膜27が殆ど研磨されず、その上部の角は図11に示したように丸みを帯びる。

【0089】第2ステップの研磨工程の研磨では、研磨対象物と化学的に反応する研磨剤を用い、研磨対象物と研磨布102との押圧力を小さくし、かつ基台101を高速回転させて研磨する。これにより、被研磨基板33の被研磨面による研磨布102の表面追随性を低下させて、広い面積の第1の素子領域22aに残った厚いシリコン酸化膜27を研磨し、かつ第1～第4の溝23a～23dにシリコン酸化膜27が埋め込まれ、平坦化した面を得ることができる。

【0090】第2の実施の形態によれば、単一の研磨工程だけで簡便に被研磨基板の凹部内にシリコン酸化膜27を埋め込み、かつ被研磨基板33の表面を平坦化することが可能となる。次に、図11に示すように、第1ス

トップの研磨を終えた状態において、第1の素子領域22aでのシリコン基板21の上に存在する全ての膜の厚さ t_{10} と、第1の溝23aのうちのシリコン基板21の上面から突出している厚さ t_{11} を調べる。なお、以下に、厚さ t_{10} を素子領域での膜厚、 t_{11} を突出し量という。

【0091】まず、上記した第1ステップの研磨の後には t_{10} と t_{11} がどの様に分布し、さらに、第2ステップの研磨の後には t_{10} 、 t_{11} がどのように分布するかを調べたところ、図16(a)、(b)ようになった。第1ステップの研磨の後の膜厚を示す図16(a)では、第1ステップの研磨の後の t_{10} と t_{11} には約600nmの膜厚差があった。これに対して、第2ステップの研磨の後の膜厚を示す図16(b)では、 t_{10} と t_{11} には約80nmの膜厚差となっておりかなり平坦化されていることがわかる。

【0092】第3例

図10(a)に示す状態で、シリコン酸化膜27の研磨に使用する研磨装置としてアブライドマテリアル社のMIRRA3400を使用し、第1ステップの研磨と第2ステップの研磨を行なう。第3例では、第1ステップの研磨の際のスラリーを除いて研磨条件を第2例と同じにした。本例では、第1ステップの研磨に使用するスラリーとして、分散剤としてKOHを含んでいる商品名SS-25を純水で希釈したものを用いた。この場合、SS-25の量を1とした場合に純水の量を2.5とした。またスラリーに含まれる砥粒として、シリカ又は酸化セリウム(CeO_2)を含むものを用いてもよい。また、分散剤として NH_4OH を含んでいるものを使用してもよい。

【0093】第1ステップの研磨の条件を表6に示し、第2ステップの研磨の条件を表7に記載する。なお、被研磨基板33と基台101の相対線速度を40m/min以上とすることが好ましい。

【0094】

【表6】

研磨装置	アブライドマテリアル社 MIRRA 3400
1st. CMP	
研磨布	IC-1000
研磨スラリー	SS-25 : 純水=1 : 2.5
メンブレン圧力	5 psi
イナータップ圧力	7 psi
リテーニング圧力	9 psi
研磨板回転数 R_1	103 rpm
基板保持具回転数 R_2	97 rpm
研磨レート	330nm/min

【0095】

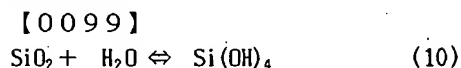
【表7】

研磨装置	アブライドマテリアル社 MIRRA 3400
2nd. CMP	
研磨布	IC-1400
研磨スラリー	SS-25 : 純水=1 : 1
メンブレン圧力	3.5 psi
イナータップ圧力	3 psi
リテーニング圧力	5 psi
研磨板回転数 R_3	103 rpm
基板保持具回転数 R_4	97 rpm
研磨レート	330 nm/min

【0096】上記した条件で第1ステップの研磨を行なったところ、図12、図13で示したシリコン酸化膜27の初期状態の表面の凹凸は、図17、図18のようになり、面積の大きなスクライブ部では、図17(a)に示すように、第1例及び第2例で示す場合に比べて、シリコン酸化膜27の膜厚は大幅に減少した。その他の領域でも図17(b)、図18(a)、図18(b)に示すように、シリコン酸化膜27はほぼ平坦になった。

【0097】この第1ステップの研磨の条件によって研磨されたシリコン酸化膜27の膜厚の分布を調べたところ、図19(a)に示すようになり、膜厚 t_{10} と膜厚 t_{11} の膜厚差は数十nmであり、極めて平坦になっていることがわかる。したがって、シリコン酸化膜27のさらなる平坦化を行なうための第2ステップの研磨では、その研磨量は僅かであって研磨時間が短くてすみ、スループットがさらに向上する。その第2ステップの研磨を終えた状態でのシリコン酸化膜27の膜厚の分布を調べたところ、図19(b)に示すようになり、膜厚 t_{10} と膜厚 t_{11} の膜厚差はさらに小さくなってシリコン酸化膜27の上面の平坦性がさらに良くなっていることがわかる。

【0098】以上のように、第1ステップの研磨によってシリコン酸化膜27の平坦性が極めて改善された理由として次のことが推測される。まず、純水によって1/2.5倍の濃度に希釈されたスラリーによる研磨は、機械的要素の他に化学的な要素が大きいと考えられる。シリコン酸化膜(SiO_2)は、水中で次式(10)のような平衡反応を示す。



その水中にKOHを添加すると、Kイオンの触媒作用により反応が式(10)の右側に進み易くなる。これは、 SiO_2 から $\text{Si}(\text{OH})_4$ に変わる間に $\text{KSi}(\text{OH})_3$ などの中間体が生じて、式(10)の右側への反応をよりスムーズに起こさせるからである。一般に使用されている研磨剤はその反応を利用してシリコン酸化膜を研磨します。

【0100】その水にKOHだけでなく、アミン系分散剤(例えばTMAH(テトラメチルアンモニウムハイド

ロオキサイド)を添加すると、アミン系分散剤によってKOHのイオンへの解離率が低下する。これは、 $[H^+] [OH^-] = 10^{-14} = 1E-14$ という法則があるために、アミン系の分散剤によっても OH^- イオンもしくは OH マイナスイオンは生成されるので、結果的にKOHの解離率が低下するからである。

【0101】もとより、アミン系分散剤により形成されるイオンの種類によっては式(10)において触媒作用を示すが、分子自体が大きくなると、その大きさがシリコン酸化膜の表面反応を阻害するために K^+ イオンもしくは K プラスイオンのような強力な触媒作用を示さなくなることが多い。例として挙げたTMAHにより生成される $N(CH_3)_4$ プラスイオンにおいても K^+ イオンもしくは K プラスイオンのような強力な触媒作用は示さない。

【0102】従って、KOHとアミン系分散剤を水に同時に添加した場合に、化学式(10)において、右側への反応が進み難くなる。これは、スラリーにおいても同様で、KOH系スラリーとアミン系スラリーを混ぜることによってそれぞれが式(10)の右側への反応を阻害し合うためにシリコン酸化膜の研磨レートを低下させることになる。

【0103】なお、酸化セシウムは、シリカと異なり、シリコン酸化膜に対して還元的な反応を及ぼしながら研磨を行わせる。以上のことから、研磨の際の化学的な要素を調整することによって、研磨レートの制御や研磨状態の制御が容易になる。例えば、スラリーとして商品名SS-25と商品名PLANAERLITE6103を混合したものを使用すると、その混合比の違いによって図20～図23に示すように研磨状態が相違する。

【0104】図20～図23は、DRAMのスクライブ部、周辺回路の大パターン部、セル部の周辺部、セル内部のそれぞれに形成したシリコン酸化膜27の第1ステップの研磨を行なった後の状態を示している。また、図20、図21は、商品名SS-25にその2倍の量の商品名PLANAERLITE6103を加えたスラリーを使用している。さらに、図22、図23は、商品名SS-25と商品名PLANAERLITE6103を同じ割合で加えたスラリーを使用している。その他の研磨条件は、表6と同じに設定した。

【0105】それらの実験結果によれば、SS-25の割合が多いほど、研磨量が増える上に、研磨面の平坦性が増すことがわかる。したがって、それらの混合比を調整することによって研磨状態を調整することが可能になる。次に、SS-25の純水による希釈度が研磨レートにどのような影響を及ぼすかを説明する。

【0106】図24は、SS-25と純水の割合と研磨レートの関係を示すものであり、その関係から、シリコン酸化膜(SiO_2)については、純水による希釈度が大きくなるにつれて、研磨レートが小さくなっていくことがわかる。なお、図24の破線は、純水によるSS-25

の希釈度とシリコン窒化膜(Si_3N_4)の研磨レートの関係を示すものであるが、希釈度はシリコン窒化膜の研磨レートには殆ど影響を及ぼさないで、その希釈度を変えることはシリコン窒化膜の研磨ストップ機能を損なうものではないことがわかる。なお、図24の結果からシリコン窒化膜に対するシリコン酸化膜の研磨選択比を求めると、図25のようになる。

【0107】上記した実施形態では、半導体基板の溝内及び素子領域上に形成された埋込絶縁膜を研磨して平坦化する方法として、硬さの異なる研磨布を交換する2ステップ研磨法を使用することについて説明した。しかし、その研磨工程の後に、溝内の埋込絶縁膜にディッシングが発生しているかどうかについて調べてみると、溝の幅の相違によってディッシングの発生状況が異なることが実験によって確認された。

【0108】その実験は、試料として図26(a),(b)に示すようなパターンを有するTEG(test element group)パターンを用いて行われた。TEGパターンは、8インチのシリコン基板51に複数個形成されている。本TEGには、実製品レベルのパターンも形成されている。本TEG内の単一の最大活性領域のパターンは、例えば $800\mu m \times 600\mu m$ である。

【0109】図26(a),(b)において、シリコン基板51には一辺の長さLの正方形の溝(trench)52が $380nm$ の深さに形成されている。また、その溝52は、幅 $100 \sim 150\mu m$ の凸状の活性領域53に囲まれて形成されており、溝52の底面とその周囲のシリコン基板51の最上面との段差は $380nm$ となっている。活性領域53のシリコン基板51の表面には、 SiO_2 よりなる初期酸化膜54が $10nm$ の厚さに形成され、さらに、その活性領域53の上には初期酸化膜54を介してシリコン窒化膜55が $99nm$ の厚さに形成されている。シリコン窒化膜55は研磨停止膜として機能する。

【0110】なお、活性領域53は、例えば実質的に素子形成領域又はスクライブ領域に相当する領域である。次に、TEGパターンの溝52内に埋込絶縁膜を充填する工程について説明する。まず、図27(a)に示すように、高密度プラズマ(HDP)CVD法を用いてシリコン基板51の上に埋込絶縁膜としてシリコン酸化膜56を形成した。シリコン酸化膜56は、活性領域53の上で最も突出した状態となる。

【0111】なお、シリコン酸化膜56の膜厚は、溝52の深さよりも厚く、例えば $700nm$ に設定される。次に、研磨装置としてアブライドマテリアル社の商品名MIRRA3400を使用してシリコン酸化膜56を2ステップで研磨した。その研磨装置は図5で示したような概要構成を有している。

【0112】MIRRA3400の研磨装置では、半導体ウェハを支持する研磨ヘッドと、半導体ウェハと研磨ヘッドの間に介在するエアバックのような弾性体と、研

磨ヘッドの下面の周囲に取り付けられるリテーナリングとを有している。その弾性体のヤング率として、 $1 \times 10^{10} \text{ N/m}^2 \sim 1 \times 10^4 \text{ N/m}^2$ の範囲、好ましくは、 $1 \times 10^5 \text{ N/m}^2 \sim 1 \times 10^7 \text{ N/m}^2$ の範囲の値を選択する。その弾性体は、半導体ウェハの被研磨面にかかる応力を一様に分布させるために設けられている。

【0113】即ち、第1ステップの研磨は、図5に示した研磨布102として硬質のIC-1000を用いて行う。その研磨布102の上面には、K-grooveと呼ばれる複数の同心円の溝が形成されている。また、研磨布102の上に供給されるスラリーとしてKOHを含む商品名SS-25を純水で希釈したものをを用いた。なお、純水は、体積で換算してSS-25の2.5倍で供給される。その研磨布102、スラリー、その他の研磨条件を表8に示す。

【0114】

【表8】

研磨装置	アブライドマテリアル社 MIRRA 3400
1st.CMP	
研磨布 (パッド)	IC-1000-050-K-groove
研磨スラリー	SS25 : 純水=1 : 2.5
メンブレン圧力	5 psi
インナーチューブ圧力	5 psi
リテーナリング圧力	10 psi
研磨板回転数R3	103 rpm
研磨保持具回転数R4	97 rpm } 同方向
研磨レート	320 nm/min.

【0115】この第1ステップの研磨工程は、溝52の中央におけるシリコン酸化膜56の膜厚が530nm～550nmの厚さになった時点で終了される。第1ステップの研磨が終了すると、図27(b)に示すように、活性領域53におけるシリコン酸化膜56の突出部が薄く且つ丸くなる。その第1ステップの研磨工程に続いて第2ステップの研磨工程に移る。

【0116】第2ステップの研磨工程では、研磨布102を硬いIC-1000から柔らかいIC-1400に交換してシリコン酸化膜56を研磨する。そのIC-1400の上面にはK-grooveが形成されている。第2ステップの研磨で使用されるスラリーは、第1ステップの研磨で使用したものと同じものとする。その研磨布102、スラリー、その他の研磨条件を表9に示す。

【0117】

【表9】

研磨装置	アブライドマテリアル社 MIRRA 3400
2nd.CMP	
研磨布 (パッド)	IC1400-050-K-groove
研磨スラリー	SS25 : 純水=1 : 2.5
メンブレン圧力	3 psi
インナーチューブ圧力	3.5 psi
リテーナリング圧力	4.3 psi
研磨板回転数R3	103 rpm
研磨保持具回転数R4	100 rpm
研磨レート	230 nm/min.

【0118】第2ステップの研磨は、図27(c)に示すように、シリコン窒化膜55がシリコン基板51の全面で露出した状態で終了する。上記した第1ステップの研磨工程によるシリコン酸化膜56の研磨量は300nm～380nmであり、第2ステップの研磨工程によるシリコン酸化膜56の研磨量は100nm～200nmとなる。第1及び第2の研磨工程によれば、平坦面上のシリコン酸化膜の研磨量に換算すると、約500nmの厚さが研磨されたことになる。

【0119】シリコン酸化膜56の研磨を終えた後に、溝52の中央部でのシリコン酸化膜56の最大ディッシング量と溝52の広さ(底面積)との関係を測定したところ図28の実線で示すような結果が得られた。なお、図28の横軸は対数目盛で示され、その縦軸は比例目盛で示されている。図28の実線によれば、溝52の一辺の長さlが長くなるにつれ、即ち、溝52の底面積が増えるにつれて最大ディッシング量が増えることがわかる。

【0120】ところで、従来のように1ステップのみの研磨法によれば、1mm×1mmの大きさの溝内のシリコン酸化膜の最大ディッシング量は300nmとなる。これに対して、本発明の2ステップ研磨法を用いると、1mm×1mmの大きさの溝52内でのシリコン酸化膜56の最大ディッシング量は約80nmとなって、従来の最大ディッシング量の1/4になることがわかった。その従来の1ステップ研磨の条件を表10に示す。

【0121】

【表10】

研磨装置	アブライドマテリアル社 MIRRA 3400
従来 CMP	
研磨布 (パッド)	IC1400-050-K-groove
研磨スラリー	SS25 : 純水=1 : 1
メンブレン圧力	4 psi
インナーチューブ圧力	4 psi
リテーナリング圧力	6 psi
研磨板回転数R3	83 rpm
研磨保持具回転数R4	77 rpm } 同方向
研磨レート	330 nm/min.

【0122】このように、本発明の2ステップ研磨法によれば、第1ステップの研磨工程により硬い研磨布102を使用して活性領域53でのシリコン酸化膜56の突出部を研磨によって選択的に減らすことを目的としている。従って、第1ステップの研磨工程は、シリコン基板51の表面に本質的に存在する凹凸などのモロロジーの影響を受け難く、シリコン基板51の全体に渡って均一にシリコン酸化膜56を研磨仕上げすることができる。

【0123】半導体基板の表面に存在する凹凸は、20mm四方の任意の領域において凹凸による段差が200nm未満であり、または5mm四方の任意の領域において凹凸による段差が50nm未満であることは、基板面の全体を均一に研磨するために最も好ましい。そのような凹凸が存在する場合には、半導体基板と支持基板の間に上記した弾性体を介在させることによって基板面の全体に渡って均一な研磨速度が得られることになる。

【0124】ところで、半導体基板の表面のモロロジーの相違が、第1ステップの研磨（選択研磨ともいう。）工程終了後のシリコン酸化膜の表面にどのような影響を及ぼすかを実験した。半導体基板として、図29に示すように主面に11μmの厚さのシリコン膜をエピタキシャル成長した8インチの円形のシリコンウェハW₁、W₂を用いた。なお、図29において、符号Ncは、面方位を示すノッチを示している。

【0125】実験に際して用いる第1のシリコンウェハW₁としては、図30の左側に示すように、凹凸が緩やかに変化するものを用い、第2のシリコンウェハW₂としては、図30の右側に示すように凹凸が小刻みに変化するものを用いた。そして、それら第1及び第2のシリコンウェハW₁、W₂の主面の上にプラズマCVD法によって1000nmの厚さのシリコン酸化膜S₀を形成した後に、表8に示した条件でシリコン酸化膜S₀を60秒間研磨した。その研磨量は、平均で350nmとなった。なお、研磨装置としては図5(c)に示したような基板支持具32を有するアブライドマテリアル社のMIRRA3400を使用した。

【0126】そして、第1のシリコンウェハW₁上と第2のシリコンウェハW₂上のそれぞれのシリコン酸化膜S₀の膜厚を測定したところ、図31、図32のような膜厚分布が得られた。そのシリコン酸化膜S₀の膜厚は、光学式膜厚測定法によって図29の破線に沿って49箇所測定された。図31のよれば、第1のシリコンウェハW₁上のシリコン酸化膜S₀は、シリコンウェハW₁の表面に沿って凹凸の変化が緩やかな膜厚分布となるように研磨された。したがって、シリコンウェハW₁に複数個形成される半導体装置においては、研磨後に溝内に残るシリコン酸化膜S₀の膜厚が均一になる。

【0127】しかし、図32によれば、第2のシリコンウェハW₂上のシリコン酸化膜S₀は、シリコンウェハW₂の表面に沿って凹凸の変化が激しい膜厚分布とな

るよう研磨された。したがって、シリコンウェハW₂に複数個形成される半導体装置においては、研磨後に溝内に残るシリコン酸化膜S₀の膜厚が不均一になる。したがって、半導体ウェハ上のシリコン酸化膜を選択研磨によって研磨する場合には、半導体ウェハの表面のモロロジーが上記した条件となることが好ましいことになる。

【0128】さらに、本発明者は、図26(b)で破線で示すように、複数の微小な活性領域（ダミー凸部）57を溝52内に形成した場合に、2ステップ研磨終了後の溝52のシリコン酸化膜56の最大ディッシング量と溝52の底面積との関係を測定したところ、図28の破線で示すような結果が得られた。図28の破線によれば、溝52内にダミー凸部57を形成しない場合に比べて、ダミー凸部57を形成した場合の方が最大ディッシング量が半分以下になることがわかった。例えば、7.5mm×7.5mmの大きさの溝52内に、10μm×10μmの平面形状のダミー凸部57を50μmピッチで複数個配置したところ、溝52内のシリコン酸化膜56の最大ディッシング量が61.5nmとなった。即ち、ダミー凸部57を溝52内に形成した場合には、それを溝52内に形成しない場合に比べて、シリコン酸化膜56の最大ディッシングが約1/2となった。

【0129】従って、2ステップによる研磨法においては、面積の広い溝内にダミー凸部を複数形成しておくことは、ディッシングを抑制する効果がさらに高くなることがわかる。なお、微小な活性領域（ダミー凸部）57は、シリコン基板51の一部であって、活性領域53のシリコン基板51の最上面と同じ高さを有している。

【0130】ところで、2ステップ研磨方法の終点の検出は方法としては、研磨対象がシリコン酸化膜からシリコン窒化膜に変わる時の研磨速度の差によって生じる研磨トルクの変化を利用する方法、もしくは、波長100nm～1000nmの単一波長のレーザ光を被研磨面に照射して研磨対象がシリコン酸化膜からシリコン窒化膜に変わる時のレーザ光の反射光路の光路差に依存する反射強度の変化を利用する方法などがある。

（第2の実施の形態）半導体ウェハのうち、DRAMセル、SRAMセル等が形成される活性領域とウェハ分割用のスクライプライン領域の上の埋込絶縁膜を研磨するために、上記したような2ステップ研磨法を採用しても溝内の埋込酸化膜にディッシングが発生する可能性があることは既に述べた。

【0131】そこで、図33に示した半導体ウェハ60の複数箇所にそれぞれ図34に示すTEGパターン61を形成して、溝の上での埋込酸化膜のディッシングの発生状況を調べた。TEGパターン61内にある活性領域パターンのうち、単一の最大活性パターンは、例えば800μm×600μmである。それらのTEGパターン61は、図34に示したように、シリコンウェハ60に

において、幅 $100\mu\text{m}$ のスクライブライン62に囲まれた領域に平面正方形の溝63を形成する。その溝63の一辺の長さ L_1 は、スクライブライン62の中心から換算して 20mm となっている。また、その溝63の中には約 $5\text{mm}\times 20\text{mm}$ の長方形の第1の活性パターン密集領域64と、約 $5\text{mm}\times 15\text{mm}$ の長方形の第2の活性パターン密集領域65とが間隔を置いてL字状に形成されている。また、溝63内において、約 $15\text{mm}\times 15\text{mm}$ の大きさの残りの領域66には、ダミー凸部(微小活性領域)67が複数個形成されている。そのダミー凸部67は、スクライブライン62と同じ高さを有している。

【0132】そのダミー凸部67は、 $7\mu\text{m}\times 7\mu\text{m}$ の平面形状で且つ 25mm ピッチで複数個配置されるか、又は、 $10\mu\text{m}\times 10\mu\text{m}$ の平面形状で且つ 25mm ピッチで複数個配置されている。 $7\mu\text{m}\times 7\mu\text{m}$ のダミー凸部67は面積に換算して溝63内の残りの領域66の8%を占めることになる。また、 $10\mu\text{m}\times 10\mu\text{m}$ の複数のダミー凸部67は、面積に換算して溝63内での残りの領域66の16%を占めることになる。

【0133】そして、複数のTEGパターン61の活性領域64、65及びスクライブ領域62の上にそれぞれ初期酸化膜を介してシリコン窒化膜を形成し、各TEGパターンの全体にシリコン酸化膜を形成した後に、シリコン窒化膜が半導体ウェハ60の全面に渡って露出するまでシリコン酸化膜を2ステップ研磨法により研磨した。

【0134】なお、溝63の底面は、シリコンウェハ60の活性領域64、65及びスクライブライン62とダミー凸部67のそれぞれの上面对して 380nm の深さを有している。シリコン酸化膜を2ステップ研磨法によって研磨したところ、8%のダミー凸部67を有するTEGパターン61においては、溝63の上で図35のようなディッシングが発生して、溝63の側面の頂から上方に突出したシリコン酸化膜の量が最小で 10nm となった。また、16%のダミー凸部67を有するTEGパターン61においては、図36のようなディッシングが発生して、溝63の側面の頂から上方に突出したシリコン酸化膜の量が最小で 30nm となった。

【0135】なお、図35、図36において、TOP、LEFT、CENTOER、RIGHT、BOTTOMは、図33のTOP、LEFT、CENTOER、RIGHT、BOTTOMの領域に形成された各TEGパターン61でのディッシング量を示している。ところで、第1及び第2の活性領域64、65にそれぞれMOSTランジスタのゲート電極を形成する場合に、溝63の上のシリコン酸化膜の好ましいディッシング量がどの位になるかを検討してみる。

【0136】まず、2ステップ研磨法によりシリコン酸化膜の研磨を終えた状態では、シリコン窒化膜上にシリコン酸化膜の研磨残が発生しているおそれがある。そこで、その研磨残を除去するために、溝63内に充填され

たシリコン酸化膜の膜厚が 10nm 程度減少するまでシリコン窒化膜上にフッ酸を供給する必要がある。これに続いて、シリコン窒化膜を 170°C のリン酸によって除去した後に、第1及び第2の活性領域64、65、スクライブライン62及びダミー凸部67の上にさらにフッ酸を供給して初期酸化膜を除去する。ついで、シリコンウェハ60における第1及び第2の活性領域64、65、スクライブライン62及びダミー凸部67のそれぞれの表面を熱酸化して犠牲酸化膜を 10nm の厚さに形成すると、それらの表面を構成するシリコンウェハ60が 5nm だけ消費される。この結果、溝63の深さは実質的に 5nm だけ浅くなったに等しいことになる。さらに、その犠牲酸化膜をフッ酸によって除去するが、このとき溝63内のシリコン酸化膜の厚さが 16.8nm 減少するまでフッ酸が供給される。その後に、シリコンウェハ61の露出面である第1及び第2の活性領域64、65、スクライブライン66及びダミー凸部37の各表面を熱酸化して 10nm の厚さのゲート酸化膜を形成する。このとき、シリコン基板の表面は 5nm だけ消費されるので、溝63の深さはさらに 5nm だけ浅くなる。

【0137】以上のフッ酸処理や熱酸化処理を経てゲート酸化膜を形成した直後には、溝63の上に存在するシリコン酸化膜は合計で 28.8nm 厚さだけ減少することになる。従って、溝63内のシリコン酸化膜が約 30nm 以上に減少すれば、溝63内のシリコン酸化膜には、第1及び第2の活性領域の表面よりも低いディッシング面が発生ことが防止される。

【0138】したがって、図36に示したように、ダミー凸部67の面積占有率は16%以上にすることが必要であることがわかる。なお、ダミー凸部67の面積占有率が高すぎても研磨処理に支障をきたすので、その面積占有率を40%以下にすることが好ましい。そのようなダミー凸部67の面積占有率の調整によってディッシング量の調整が可能である。しかし、溝63内のシリコン酸化膜のディッシング量が溝63のコーナー部とそこから離れた部分では差が生じている。そのようなディッシング量の分布の均一化を図り、さらに、ディッシング量を減らすために、本発明者等は、溝63内を充填するためのシリコン酸化膜の上にさらにシリコン窒化膜からなる研磨用被覆膜を数十nmの厚さに形成する工程を採用した。

【0139】その研磨用被覆膜を使用して2ステップ研磨法によりシリコン酸化膜を研磨する工程を図37(a)~(e)に基づいて説明する。まず、図37(a)に示すように、シリコンウェハ61のうち広い第1の活性領域64aに隣接して形成される広い第1の溝63aを形成するとともに、狭い第2の溝63bを介して密集した複数の狭い第2の活性領域64bを形成する。また、第1の溝63aの中には、孤立した第3の活性領域68が形成されている。

【0140】第1及び第2の溝63a、63bの深さ

は、シリコンウェハ61の最上面に対して380nmとになっている。また、シリコンウェハ61のうち第1及び第2の活性領域64a、63b、第3の活性領域68などの上には、膜厚10nmのSiO₂よりなる初期酸化膜70を介して膜厚99nmのシリコン窒化膜よりなる研磨停止膜71が形成されているので、研磨停止膜71の上面と溝63の底面の差は、489nmとなる。

【0141】その後、シリコンウェハ61のうち、溝63a、63b、活性領域64a、64b等が形成された面側の全体に膜厚700nmのシリコン酸化膜69を形成する。続いて、図37(b)に示すように、プラズマCVD法により膜厚50nmのシリコン窒化膜(研磨用被覆膜)72をシリコン酸化膜69の上に形成する。

【0142】次に、表8と同じ条件の第1ステップの研磨工程によって研磨用被覆膜72とシリコン酸化膜69を研磨する。第1ステップの研磨工程の初期の段階では、図38(c)に示すようにシリコン酸化膜69が最も突出した第1の活性領域64aの上で研磨用被覆膜72が研磨されてそこからシリコン酸化膜69が露出する。そして、第1の溝63aの上のシリコン酸化膜69の膜厚が530nm~550nmの厚さとなった時点で第1ステップの研磨を終了すると、図37(d)に示すように、第1の活性領域64aの上の凸形状のシリコン酸化膜69が薄くなるとともにその凸形状の角が丸くなる。この場合、溝63a、63bの上や第2の活性領域64bの上のシリコン酸化膜69は研磨用被覆膜72によって研磨レートが小さくなっている。

【0143】第1ステップの研磨工程を終了した時点では、シリコンウェハ61全体でシリコン酸化膜69が露出することになる。なお、研磨用被覆膜72の膜厚は、シリコン酸化膜69の膜厚や、活性領域64、65の大きさなどに合わせて適度に調整することにより、面積の広い活性領域64、65の上の凸状のシリコン酸化膜69の研磨レートに対して、溝63や狭い活性領域68の上のシリコン酸化膜69の研磨レートをより遅くして研磨による平坦化処理のマージンをより広げることができる。

【0144】続いて、表9と同じ条件の第2ステップの研磨工程によってシリコン酸化膜69を研磨する。その第2ステップの研磨は、図37(e)に示すようにシリコンウェハ61全体で研磨停止膜71が露出した時点で終了される。このようなシリコン窒化膜よりなる研磨用被覆膜72を用いることによって、TEGパターン61の溝63におけるシリコン酸化膜69のディッシング量の分布を調べたところ、図38、図39のような結果が得られた。なお、図38、図39に示したディッシング量は、図34において「・」で示した箇所測定された。

【0145】図38は、ダミー凸部67の占有面積率を8%とした場合の研磨分布を示している。図38において、最大のディッシング量が存在する領域では、溝63

の上のシリコン酸化膜69はシリコンウェハ61の最上面から上方に約55nmの量で突出し、しかも、溝63の上のシリコン酸化膜69の膜厚分布は均一化している。

【0146】図39は、ダミー凸部67の占有面積率を16%とした場合の研磨量分布を示している。図39において、最大のディッシング量が存在する領域では、溝63の上のシリコン酸化膜69は、シリコンウェハ61の最上面から上方に約60nmの量で突出し、しかも、溝63の上のシリコン酸化膜69の膜厚分布は均一化している。

【0147】したがって、2ステップの研磨を終えてから第1の活性領域64にゲート電極を形成するまでの間に、溝63の上のシリコン酸化膜69の厚さが例えば30nm程度減ったとしても、溝63の上のシリコン酸化膜69がシリコンウェハ61の最上面よりも低くなることはない。

(第3の実施の形態) 上記した第1実施形態では、シリコン基板に溝を形成し、活性領域にシリコン窒化膜を形成し、シリコン基板上に埋込用のシリコン酸化膜を形成した後に、2ステップ研磨法によりシリコン酸化膜を行うことにより、溝内に埋め込まれるシリコン酸化膜の平坦性を高めるようにしている。さらに、第4実施形態では、2ステップの研磨の前に、シリコン酸化膜69の上にシリコン窒化膜72を形成する工程を加えることにより、その平坦性はさらに向上させている。

【0148】本実施形態では、2ステップ研磨の前に、シリコンウェハの活性領域の上に突出するシリコン酸化膜をエッチングにより除去する工程をさらに加えている。例えば、図37(a)に示すように、プラズマCVD法によりシリコン酸化膜69を形成するまでは第2実施形態と同じである。次に、図40(a)に示すように、シリコン酸化膜69のうち最も突出量が大きな第1の活性領域64aの上の突出部分の一部をフォトリソグラフィによって除去してその膜厚を薄くする。続いて、シリコン酸化膜69の上に、膜厚50nmのシリコン窒化膜(研磨用被覆膜)72を形成する。

【0149】さらに、表8と同じ条件の第1ステップの研磨工程によって研磨用被覆膜72とシリコン酸化膜69を研磨して、第1の溝63aの上のシリコン酸化膜69の膜厚が530nm~550nmの厚さになった時点で第1ステップの研磨を終了すると、図40(b)に示すように、第1の活性領域64aの上のシリコン酸化膜69の突出部分は薄くなるとともに凸形状の角が丸くなる。この場合、第1の活性領域64aの上のシリコン酸化膜69の研磨速度が第4実施形態の第1ステップの研磨に比べて速く、しかも、溝63a、63bや第3の活性領域68の上に存在するシリコン酸化膜69は研磨用被覆膜72の存在によって研磨レートが小さくなっている。

【0150】なお、研磨用被覆膜72の膜厚は、研磨停止膜71の膜厚や、活性領域64a、64bの大きさやなどに合わせて適度に調整することにより、面積の広い活性領域64の上の凸状のシリコン酸化膜69の研磨レートに対して、溝63a、63bや狭い活性領域68の上のシリコン酸化膜69の研磨レートを遅くして研磨による平坦化処理のマージンをより広げることができる。

【0151】続いて、表9と同じ条件の第2ステップの研磨工程によってシリコン酸化膜69を研磨する。その第2ステップの研磨は、図40(c)に示すようにウェハ全体で研磨停止膜71が露出した時点で終了される。このような研磨用被覆膜72を用いることによって、図34(b)に示したTEGパターンの溝63に埋め込まれたシリコン酸化膜のディッシング量の分布を調べたところ、図41のような結果が得られた。

【0152】図41は、ダミー凸部の占有面積率を0%とした場合の研磨分布量を示し、溝63において最大のディッシング量が存在する領域では、溝63の上のシリコン酸化膜は、シリコンウェハ61の最上面から上方に約70nmの量で突出している。したがって、溝63内にダミー凸部67を形成しない場合には、面積の大きな活性領域64の上に存在するシリコン酸化膜と研磨用被覆膜72の一部を予めエッチングによって除去した後、2ステップ研磨を行うことが好ましいことがわかる。

【0153】これにより、活性領域64上の研磨停止膜71の除去からゲート酸化膜を形成する前までの間の諸工程により溝63上のシリコン酸化膜の膜厚が減少しても、溝63の中のシリコン酸化膜はシリコンウェハ61の最上面よりも低くなることが防止される。

(第4の実施の形態) 第1の実施の形態で説明した研磨は、シャロートレンチアイソレーション(STI)の形成工程以外にも適用することが可能である。本実施形態では、多層配線構造を形成する際に使用する層間絶縁膜の研磨について説明する。

【0154】図42は、本発明の第4の実施の形態の研磨工程を示す断面図である。図42(a)において、下地絶縁膜41の上には密度が異なる下側配線42が形成され、配線膜厚である400nmが段差として下地絶縁膜41上に現れている。さらに、下地絶縁膜41及び下側配線42の上には SiO_2 、PSG、BPSG等の層間絶縁膜43が800nmの厚さに形成されている。

【0155】その層間絶縁膜43の上面は、下側配線42の密度の影響を受けて凹凸が生じている。その凹凸が存在した状態で、層間絶縁膜43の上に上側配線を形成すればその凹凸による段差によって上側配線に断線が生じる可能性が高くなる。したがって、層間絶縁膜43を研磨によって平坦化する必要が生じてくる。その層間絶縁膜43の研磨方法としては、第1実施形態の第3例に示した第1ステップの研磨と同じ条件を用いることが好ま

しい。即ち、研磨布102として硬いIC-1000を用いるとともに、スラリーとしてKOH又は NH_4OH の分散剤又は研磨促進剤を含む材料を使用する。スラリーには、砥粒としてシリカ又は酸化セリウムを含む。

【0156】そして、表7に示すと同じ研磨条件により、層間絶縁膜43の残り膜厚が200nmとなるように層間絶縁膜43を研磨する。この場合、層間絶縁膜43の凸部の研磨速度が速くなって、図42(b)に示すように、下側配線42が露出しない状態で層間絶縁膜43の上面が平坦になる。その後に、層間絶縁膜43の上にさらに上側の配線(不図示)を形成する。

【0157】このように、層間絶縁膜43を研磨する場合には、KOH、 NH_4OH を含むスラリーを用いると、その上面の凹凸差が極めて小さな平坦面が形成されることになる。本実施例では、配線段差の平坦化を例に挙げたが、DRAMなどのスタックトキャパシタが絶縁膜から突出してスタックトキャパシタと絶縁膜の段差が1 μm と大きい場合には、硬い研磨布を使用し、KOH又は NH_3OH を含むスラリーを用いる条件によってスタックトキャパシタを覆う層間絶縁膜を研磨してその表面を平坦化することは極めて有効である。

(第5の実施の形態) 第1の実施の形態で説明した研磨は、シャロートレンチアイソレーション(STI)の形成工程以外にも適用することが可能である。本実施形態では、フォトリソグラフィーの際に使用される位置合わせマーク(以下、アライメントマークという。)の形成のために、第1実施形態で説明した第1及び第2ステップの研磨工程を採用するものである。

【0158】アライメントマークの上には、その上に光を透過しない膜、例えばGATE配線材料膜が形成されることがある。そこで、アライメントマークの構造として、凹凸(段差)のある構造が採用され、例えば、選択酸化法によってシリコン基板に形成したLOCOSを利用することがある。しかし、選択酸化法によって形成されたアライメントマークは、その側部にバースピークが形成されるので、アライメントマークとしては好ましいものではない。

【0159】そこで、側縁部の凹凸が急峻であり、しかも、ウェハの面ではほぼ均一な高さが得られるアライメントマークの形成が求められる。次に、そのような要求に対応できるアライメントマークの形成工程を以下に説明する。まず、図43(a)に示すようにシリコン基板21の上に膜厚10nmの SiO_2 膜25と膜厚100~250nmの Si_3N_4 膜26を形成した後に、これらの SiO_2 膜25と Si_3N_4 膜26をフォトリソグラフィー法によってパターニングしてアライメントマーク形成位置に開口部26aを形成する。

【0160】ついで、図43(b)に示すように、開口部26aを通してシリコン基板21をエッチングし、これにより深さが0.2~0.5 μm 程度のアライメント

用溝45を形成する。このアライメント用溝45は、第1実施形態で示したSTIを構成する第1～第4の溝23a～23dと同時に形成してもよい。次に、図43(c)に示すように、HDP-CVD法によってアライメント用溝45の中とシリコン基板21の上面にシリコン酸化膜27を形成する。そのシリコン酸化膜27の形成条件は、第1実施形態と同様である。

【0161】続いて、シリコン酸化膜27の第1ステップの研磨と第2ステップの研磨を行なう。それらの研磨条件は、例えば第1実施形態で示した第1例の表2、表3、又は、第2例の表4、表5、又は、第3例の表6、表7に示すようになる。第1ステップの研磨では、硬質の材料からなる研磨布、例えばIC-1000を使用する。

【0162】この第1ステップの研磨の際に表2又は表4に示す条件を採用すると、研磨の後のシリコン酸化膜27の断面は図43(d)のようになって凸部の縁が丸くなるとともにその体積が減ることになる。これに対して、表6に示す研磨条件を採用すると、シリコン酸化膜27の断面は図44のようになって平坦性がさらに改善される。

【0163】次に、第2ステップの研磨工程に移る。その研磨は、図43(e)に示すように、IC-1000よりも軟質の研磨布を用いてシリコン酸化膜27の上面を研磨し、これにより、 Si_3N_4 膜26の上のシリコン酸化膜27を除去する。この場合、アライメント用溝45の中と開口部26aの中にシリコン酸化膜27が残る程度であれば、過剰に研磨してもよい。

【0164】次に、図43(f)に示すように、 Si_3N_4 膜26を燐酸によって除去し、ついで SiO_2 膜26をフッ酸によって除去すると、アライメント用溝45からはシリコン酸化膜27が凸部となって現れる。なお、その凸部は、フッ酸処理の際にわずかにエッチングされるが、その凸部の元々の突出量は100～250nm程度であるので、消滅することはない。

【0165】そして、アライメント用溝45から突出したシリコン酸化膜27の凸部を、アライメントマーク46として使用する。以上の工程で形成されたアライメントマーク46は、最初に硬質の研磨布を用いる第1ステップの研磨と、それよりも柔らかい研磨布を用いる第2ステップの研磨布によって形成されており、それら2ステップの研磨によれば、ウェハ上での研磨は平坦性が増すので、ウェハに形成される複数のアライメントマーク46の凸部の突出量はほぼ均一となる。したがって、そのようなアライメントマーク46を用いると、露光の際の位置合わせ精度は向上し、パターン認識の安定性を向上させる。

【0166】ウェハ上に複数のアライメントマークを上記した方法で形成したところ、それらのアライメントマークのウェハからの突出量は実質的に均一になった。そ

のような半導体ウェハをステッパ（不図示）のXYステージ上に載置してアライメントマークを検出させて自動的に位置補正を行なわせた。その補正量の測定は、露光装置において繰り返して複数回測定される。その補正量の測定の一例を次に説明する。

【0167】用意した試料は、図45に示すように、ロジック用半導体素子を形成するためにシリコンウェハに円周に沿って複数のアライメントマーク46が形成されている。そして、補正量の測定を複数回行ったところ、図30(a),(b)に示す結果が得られた。図46(a),(b)の横軸は補正測定回数を示し、縦軸はX方向又はY方向の測定方向を示している。その測定結果によれば、上記した方法で形成したアライメントマーク46の補正量は実質的に一定であり、その補正量で露光位置を修正することになる。その補正量のバラツキが大きい場合には露光が行なわれない。

【0168】なお、図46(a),(b)の縦軸の単位は、1ppmがウェハ半径方向の0.1 μm に相当する。ステッパによる補正量の測定では、アライメントマーク46の測定位置データと基準データとのズレを比較してそのズレを認識し、ウェハスケールリング、ウェハ回転数等を算出して露光データに補正をかける。ウェハの回転量は再現できないのでステッパのアライメント再現性はスケールリングで確認される。

【0169】図43(f)では、溝45から基板面に突出した凸部をアライメントマーク46として使用している。そのような構造のアライメントマーク46は、図42(a),(b)の左側に示すように主に活性領域で採用される。これに対してフィールド領域では、図47(a),(b)の右側に示すように、シリコン酸化膜27よりなる凸部28で囲まれた領域（凹部）をアライメントマーク47として適用することが多い。

【0170】半導体ウェハW上に図47(a),(b)に示す2種類のアライメントマーク46、47を形成し、それらの平坦性を測定した。測定箇所は、図48に示すように、半導体ウェハWのうちの円周に沿った4つの領域TOP, RIGHT, BOTTOM, LEFTと円の中心の領域CENTERの計5か所であり、それぞれの測定領域で活性領域のアライメントマーク46とフィールド領域のアライメントマーク47とその周辺の段差を測定した。

【0171】それら5か所のアライメントマーク46、47を測定したところ、図49、50に示すような段差の結果が得られ、複数の凸状のアライメントマーク46の高さの誤差は100Å以内の範囲内にあり、また、複数の凹状のアライメントマーク47の深さの誤差は100Å以内の範囲であった。以上のことから、上記した工程によれば、ウェハの面内で実質的に均一な形状で均一な高さ又は深さのアライメントが形成されていることが確認された。

(付 記)

(1) 半導体基板の主面の上に絶縁膜を形成する工程と、第1の硬さを有する第1の研磨布を用いて前記絶縁膜の一部を研磨する工程と、前記第1の研磨布による前記絶縁膜の研磨の後に、前記第1の硬さよりも軟い第2の硬さを有する第2の研磨布を用いて、前記絶縁膜を研磨する工程とを有することを特徴とする半導体装置の製造方法。

【0172】(2) 前記絶縁膜を形成する前に、前記半導体基板の上の第1の領域に研磨ストップ膜を形成する工程と、前記研磨ストップ膜に覆われない第2の領域に溝を形成する工程を有し、前記第2の研磨布による前記絶縁膜の研磨は、前記研磨ストップ膜が露出するまで続けられることを特徴とする(1)に記載の半導体装置の製造方法。

【0173】(3) 前記絶縁膜はシリコン酸化膜であることを特徴とする(1)に記載の半導体装置の製造方法。

(4) 前記第1の研磨布により前記絶縁膜を研磨する際には、第1のスラリーが前記絶縁膜の上に供給され、前記第2の研磨布により前記絶縁膜を研磨する際には、第2のスラリーが前記絶縁膜の上に供給されることを特徴とする(1)に記載の半導体装置の製造方法。

【0174】(5) 前記第1のスラリーと前記第2のスラリーは、含有物質が同じであること特徴とする(1)に記載の半導体装置の製造方法。

(6) 前記第1のスラリーは、アミン系の分散剤中にシリカ系物質又は酸化セリウムよりなる砥粒を含むことを特徴とする(1)又は(3)に記載の半導体装置の製造方法。

【0175】(7) 前記第1のスラリーは、OH基を有する分散剤中にシリカ系物質又は酸化セリウムよりなる砥粒を含むことを特徴とする(1)又は(3)に記載の半導体装置の製造方法。

(8) 前記OH基を有する分散剤は、KOH又はNH₄OHであることを特徴とする(7)に記載の半導体装置の製造方法。

【0176】(9) 前記第1の研磨布は、圧縮加重に対する圧縮歪み量の比が $0.06 \mu\text{m} \cdot \text{cm}^2 / \text{g}$ 以下であることを特徴とする(1)又は(3)に記載の半導体装置の製造方法。

(10) 前記溝を除いた前記半導体基板の上面の面積は、前記半導体基板の該上面全体の面積の70%以下の範囲にあることを特徴とする(2)に記載の半導体装置の製造方法。

【0177】(11) 前記絶縁膜は、誘導結合型プラズマ法又は電子サイクロトロン共鳴法によって形成されることを特徴とする(1)又は(3)に記載の半導体装置の製造方法。

(12) 前記絶縁膜は、プラズマ化学気相成長法による成膜とスパッタエッチングとを繰り返すことにより成膜されたことを特徴とする(1)又は(3)に記載の半導

体装置の製造方法。

【0178】(13) 前記第2の研磨布による前記絶縁膜の研磨の後に、前記研磨ストップ膜を除去することによって、前記溝内に充填された前記絶縁膜を前記半導体基板の上面から突出させて凸部を形成する工程とを有することを特徴とする(1)に記載の半導体装置の製造方法。

(14) 前記凸部は、露光位置合わせマークとして使用されることを特徴とする(13)に記載の半導体装置の製造方法。

【0179】(15) 前記絶縁膜を形成する前には、前記半導体基板の上に下地絶縁膜を介して配線を形成する工程をさらに有することを特徴とする(1)に記載の半導体装置の製造方法。

(16) 前記絶縁膜はプラズマCVD法により形成されたシリコン酸化膜であって、前記研磨ストップ膜はCVD法により形成されたシリコン窒化膜であることを特徴とする(2)に記載の半導体装置の製造方法。

【0180】(17) 前記研磨ストップ膜と前記半導体基板の間に初期酸化膜を形成する工程をさらに有することを特徴とする(2)に記載の半導体装置の製造方法。

(18) 前記半導体基板はシリコン基板であり、前記絶縁膜はCVD法により形成されたシリコン酸化膜であり、前記研磨ストップ膜はCVD法により形成されたシリコン窒化膜であり、前記初期酸化膜は前記半導体基板の表面に形成されたシリコン酸化膜であり、前記第2の研磨布により前記絶縁膜を研磨した後の状態では、前記溝に埋め込まれた前記絶縁膜の膜厚の値は、前記溝の底から前記研磨ストップ膜の最上面までの高さの値の1倍～2倍の範囲に存在することを特徴とする(17)に記載の半導体装置の製造方法。

【0181】(19) 前記絶縁膜よりも研磨速度の遅い研磨用被覆膜を前記絶縁膜の上に形成する工程をさらに有することを特徴とする(2)に記載の半導体装置の製造方法。

(20) 前記絶縁膜はシリコン酸化膜であり、前記研磨用被覆膜はシリコン窒化膜であることを特徴とする(19)に記載の半導体装置の製造方法。

【0182】(21) 前記シリコン窒化膜は30nm～150nmの膜厚に形成されることを特徴とする(20)に記載の半導体装置の製造方法。

(22) 前記半導体基板はシリコン基板であり、前記絶縁膜はCVD法により形成されたシリコン酸化膜であり、前記研磨ストップ膜はCVD法により形成されたシリコン窒化膜であり、前記第2の研磨布により前記絶縁膜を研磨した後の状態では、前記溝に埋め込まれた前記絶縁膜の膜厚は、前記溝の底から前記研磨ストップ膜の最上面までの高さの1.1倍～1.5倍の範囲に存在し、前記研磨用被覆膜は30nm～150nmの膜厚を有することを特徴とする(19)に記載の半導体装置の

製造方法。

【0183】(23) 前記溝の中には、前記半導体基板の一部を突出させてなる微小凸部を有することを特徴とする(2)記載の半導体装置の製造方法。

(24) 前記第1の研磨布による前記絶縁膜の前には、前記第1の領域の上に存在する前記絶縁膜の一部をエッチングによって除去する工程をさらに有することを特徴とする(2)に記載の半導体装置の製造方法。

【0184】(25) 前記絶縁膜のエッチングの前又は後には、前記絶縁膜よりも研磨速度の遅い材料よりなる研磨用被覆膜を前記絶縁膜の上に形成することを特徴とする(24)に記載の半導体装置の製造方法。

(26) 前記第2の研磨布を使用して前記絶縁膜を研磨する工程においては、前記絶縁膜の研磨から前記研磨ストップ膜の研磨に変わる際の前記第2の研磨布による研磨トルクの変化を検出する方法によって研磨終了点を検出することを特徴とする(2)に記載の半導体装置の製造方法。

【0185】(27) 前記第2の研磨布を使用して前記絶縁膜を研磨する工程においては、前記絶縁膜に向けて波長100nm～1000nmの単一波長のレーザ光を照射して、前記絶縁膜の研磨から前記研磨ストップ膜の研磨に変わる際の前記レーザ光の反射強度の変化点を検出する方法によって研磨終了点を検出することを特徴とする(2)に記載の半導体装置の製造方法。

【0186】(28) 前記半導体基板は、 $1 \times 10^4 \text{ N/m}^2 \sim 1 \times 10^{10} \text{ N/m}^2$ のヤング率を有する弾性体が下部に形成された研磨ヘッドの下に取り付けられることを特徴とする(1)に記載の半導体装置の製造方法。

(29) 前記半導体基板の前記主面の凹凸の段差は、20mm四方の任意の領域において200nm未満であり、かつ、5mm四方の任意の領域において50nm未満であることを特徴とする(1)に記載の半導体装置の製造方法。

【0187】(30) 表面に凸部のある絶縁膜を半導体基板の上に形成する工程と、前記絶縁膜の前記表面を研磨することによって、前記絶縁膜の前記凸部の突出量を減らして前記絶縁膜を平坦化する工程とを有することを特徴とする半導体装置の製造方法。

【0188】

【発明の効果】以上述べたように本発明によれば、基板の溝の酸化絶縁膜を充填する場合に、研磨布に非常に硬い研磨布を用い、スラリーとして研磨対象物の研磨レートが小さくなるような研磨剤を用いる第1ステップの研磨工程を有しているので、機械的に弱い微細な素子領域に突出している酸化絶縁膜が主に機械的に研磨されてその体積を減らすことができ、第2ステップの研磨の際の平坦化処理を容易にできる。

【0189】第2の研磨工程の研磨では、被研磨基板の研磨布への押圧力を小さくし、かつ研磨布を高速回転さ

せることにより、被研磨面による研磨布の表面追随性を低下させて研磨し、これにより、被研磨基板の平坦性が得られる。また、本発明によれば、OH基を有する分散剤中にシリカ系物質又は酸化セリウムよりなる砥粒を含むスラリーを使用するとともに、圧縮加重に対する圧縮歪み量の比が $0.06 \mu\text{m} \cdot \text{cm}^2 / \text{g}$ 以下である硬さの研磨布を用いて酸化絶縁膜を研磨すると、酸化絶縁膜の凸部での研磨を促進して平坦性を向上することができる。

【図面の簡単な説明】

【図1】図1(a)～図1(c)は、従来のシャロートレンチアイソレーションの形成工程を示す断面図(その1)である。

【図2】図2(a)、図2(b)は、従来のシャロートレンチアイソレーションの形成工程を示す断面図(その2)である。

【図3】図3(a)、図3(b)は、従来のシャロートレンチアイソレーションの形成工程を示す断面図(その3)である。

【図4】図4は、図1～図3の工程に従ってSTIの形成を行なうプロセスにおいて絶縁膜表面の凹凸のエッチング量のバラツキ量をウェハ面内で見た図である。

【図5】図5(a)は、本発明の実施の形態に使用する研磨装置の一例を示す側面図、図5(b)はその上面図、図5(c)は研磨保持具の他の例を示す側面図である。

【図6】図6は、本発明の実施の形態の半導体装置の製造工程に用いる研磨布(IC-1000)の圧縮加重と圧縮歪み量との関係を調査したグラフである。

【図7】図7は、本発明の実施の形態の半導体装置の製造工程に用いる研磨布(Suba400)の圧縮加重と圧縮歪み量との関係を調査したグラフである。

【図8】図8は、本発明の第1の実施の形態に係るシャロートレンチアイソレーションの作成方法について示すフローチャートである。

【図9】図9(a)～(c)は、本発明の第1の実施の形態に係るシャロートレンチアイソレーションの製造工程を示す断面図(その1)である。

【図10】図10(a),(b)は、本発明の第1の実施の形態に係るシャロートレンチアイソレーションの製造工程を示す断面図(その2)である。

【図11】図11は、本発明の第1の実施の形態に係るシャロートレンチアイソレーションの形成工程における第1ステップの研磨後の状態を示す断面図である。

【図12】図12(a),(b)は、本発明の第1の実施の形態に係るシャロートレンチアイソレーション形成に用いるシリコン酸化膜の研磨前の状態を段差測定器で測定図(その1)である。

【図13】図13(a),(b)は、本発明の第1の実施の形態に係るシャロートレンチアイソレーション形成に用いるシリコン酸化膜の研磨前の状態を段差測定器で測定図

(その2)である。

【図14】図14は、本発明の第1の実施の形態に係るシャロートレンチアイソレーション形成に用いるシリコン酸化膜の第1ステップの研磨の後のシリコン酸化膜の表面の段差状態を示す図(その1)である。

【図15】図15は、本発明の第1の実施の形態に係るシャロートレンチアイソレーション形成に用いるシリコン酸化膜の第1ステップの研磨の後のシリコン酸化膜の表面の段差状態を示す図(その2)である。

【図16】図16(a)は、本発明の第1の実施の形態に係るシャロートレンチアイソレーションの形成に用いるシリコン酸化膜の第1ステップの研磨の後の所定の場所の膜厚分布を示す図であり、図16(b)は、本発明の第1の実施の形態に係るシャロートレンチアイソレーション形成に用いるシリコン酸化膜の第2ステップの研磨の後の所定の場所の膜厚分布を示す図である。

【図17】図17は、本発明の第1の実施の形態に係るシャロートレンチアイソレーション形成の際の第1ステップの研磨におけるスラリーを変えた場合の研磨後のシリコン酸化膜の段差を示す図(その1)である。

【図18】図18は、本発明の第1の実施の形態に係るシャロートレンチアイソレーション形成の際の第1ステップの研磨におけるスラリーを変えた場合の研磨後のシリコン酸化膜の段差を示す図(その2)である。

【図19】図19(a)は、本発明の第1の実施の形態における第1ステップの研磨の際に使用するスラリーにKOHを含ませたものを使用した場合の研磨後のシリコン酸化膜の膜厚分布を示す図であり、図19(b)は、第1ステップの研磨終了のシリコン酸化膜についてさらに第2ステップの研磨を行なった後の膜厚分布を示す図である。

【図20】図20(a),(b)は、本発明の第1の実施の形態における第1ステップの研磨に使用するスラリーに第1の分散剤を含ませた場合の1ステップの研磨後のシリコン酸化膜の段差を示す図(その1)である。

【図21】図21(a),(b)は、本発明の第1の実施の形態における第1ステップの研磨に使用するスラリーに第1の分散剤を含ませた場合の1ステップの研磨後のシリコン酸化膜の段差を示す図(その2)である。

【図22】図22(a),(b)は、本発明の第1の実施の形態における第1ステップの研磨に使用するスラリーに第2の分散剤を含ませた場合の1ステップの研磨後のシリコン酸化膜の段差を示す図(その1)である。

【図23】図23(a),(b)は、本発明の第1の実施の形態における第1ステップの研磨に使用するスラリーに第2の分散剤を含ませた場合の1ステップの研磨後のシリコン酸化膜の段差を示す図(その2)である。

【図24】図24は、本発明の第1の実施の形態における第1ステップの研磨に使用する分散剤・純水の混合比と研磨レートとの関係を示す図である。

【図25】図25は、本発明の第1の実施の形態における第1ステップの研磨に使用する分散剤・純水の混合比と $\text{SiO}_2 \cdot \text{Si}_3\text{N}_4$ 研磨選択比との関係を示す図である。

【図26】図26(a)は、本発明の第1実施形態の2ステップ研磨がなされた埋込絶縁膜のディッシング量を調べるための試料の断面図、図26(b)は、その試料の平面図である。

【図27】図27(a)～(c)は、図26(a)に示した試料の溝への絶縁膜の埋込工程を示す断面図である。

【図28】図28は、図27(a)～(c)の工程によって溝に埋め込まれた絶縁膜に発生するディッシング量とその溝の面積との関係を示す図である。

【図29】図29は、本発明の第1実施形態において用いられる半導体ウェハの平面図である。

【図30】図30は、図29に示した半導体ウェハの上に形成されたシリコン酸化膜の表面の初期の状態と、その表面の選択研磨後の状態を示す断面図である。

【図31】図31は、半導体ウェハの表面の凹凸が緩やかに変化するシリコン酸化膜の選択研磨後の膜厚分布を示す図である。

【図32】図32は、半導体ウェハの表面の凹凸が小刻みに変化するシリコン酸化膜の選択研磨後の膜厚分布を示す図である。

【図33】図33は、TEGパターンが形成される半導体ウェハの平面図である。

【図34】図34は、半導体ウェハに形成されるTEGパターンの平面図である。

【図35】図35は、第1実施形態の2ステップ研磨法によって溝の上で研磨されたシリコン酸化膜の第1の膜厚分布を示す図である。

【図36】図36は、第1実施形態の2ステップ研磨法によって溝の上で研磨されたシリコン酸化膜の第2の膜厚分布を示す図である。

【図37】図37(a)～(e)は、本発明の第2実施形態の研磨工程を示す断面図である。

【図38】図38は、本発明の第2実施形態によって研磨された溝の上のシリコン酸化膜の第1の膜厚分布を示す図である。

【図39】図39は、本発明の第2実施形態によって研磨された溝の上のシリコン酸化膜の第2の膜厚分布を示す図である。

【図40】図40(a)～(c)は、本発明の第3実施形態の研磨工程を示す断面図である。

【図41】図41は、本発明の第3実施形態によって研磨された溝の上のシリコン酸化膜の膜厚分布を示す図である。

【図42】図42(a),(b)は、本発明の第4の実施の形態の半導体装置の製造工程における絶縁膜の研磨を示す断面図である。

【図43】図43(a)～(f)は、本発明の第5の実施の

形態の半導体装置の製造工程におけるアライメントマークの製造工程を示す断面図である。

【図44】図44は、本発明の第5の実施の形態の半導体装置の製造工程におけるアライメントマークの製造工程における第1ステップの研磨条件を変えたシリコン酸化膜の違いを示す断面図である。

【図45】図45は、本発明の第5の実施の形態により形成したアライメントマークの配置の一例を示す平面図である。

【図46】図46(a), (b) は、本発明の第5の実施の形態により形成したアライメントマークのステップによる補正量の測定結果を示す図である。

【図47】図47(a), (b) は、本発明の第5の実施の形態により形成したアライメントマークの形成領域を示す平面図とその断面図である。

【図48】図48は、本発明の第5の実施の形態により形成した複数のアライメントマークの段差測定箇所を示す平面図である。

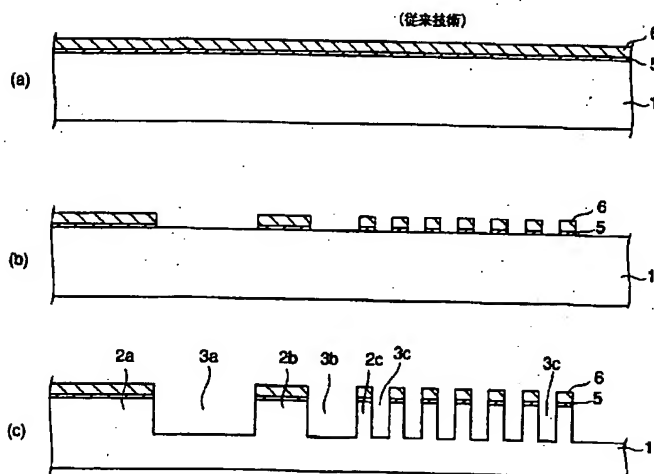
【図49】図49(a) ~ (c) は、図48で示した測定箇所の中のTOP、RIGHT、BOTTOMの領域のアライメントマークの段差の測定結果を示す段差図である。

【図50】図50(a), (b) は、図48で示した測定箇所の中のLEFT、CENTERの領域のアライメントマークの段差の測定結果を示す段差図である。

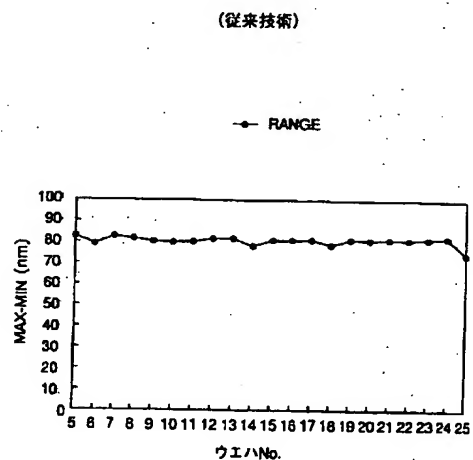
【符号の説明】

- 21 シリコン基板（半導体基板）、
- 22a 広い幅の素子領域、
- 22b 中程度の幅の素子領域、
- 22c 狭い幅の素子領域、
- 23a, 23d 広い幅の溝（凹部）、
- 23b 中程度の幅の溝（凹部）、
- 23c 狭い幅の溝（凹部）、
- 24, 25 シリコン酸化膜、
- 26 シリコン窒化膜（窒素を主成分とする下地絶縁膜）、
- 27 シリコン酸化膜（酸素を主成分とする埋込絶縁膜）、
- 31 研磨板、
- 32 基板保持具、
- 33 被研磨基板、
- 41 シリコン基板、
- 42 配線、
- 43 層間絶縁膜、
- 45 アライメント用溝、
- 46 凸部（アライメントマーク）、
- 101 基台、
- 102 研磨布、
- 103, 106 支持軸、
- 104 保持台、
- 105 リテーナーリング。

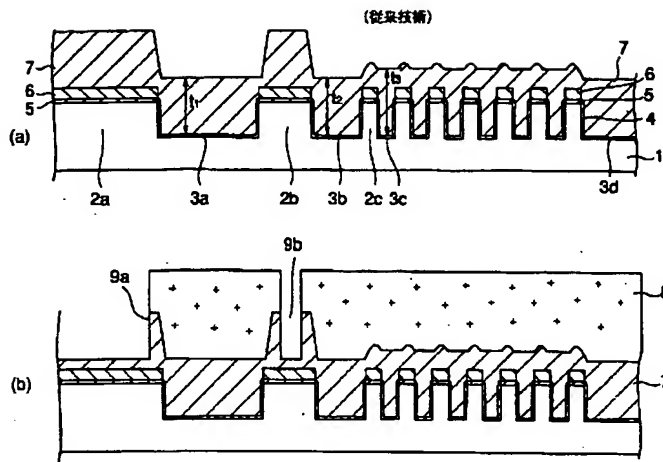
【図1】



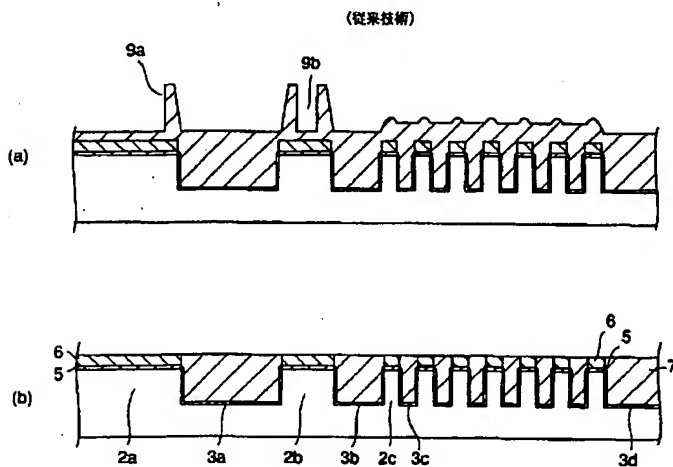
【図4】



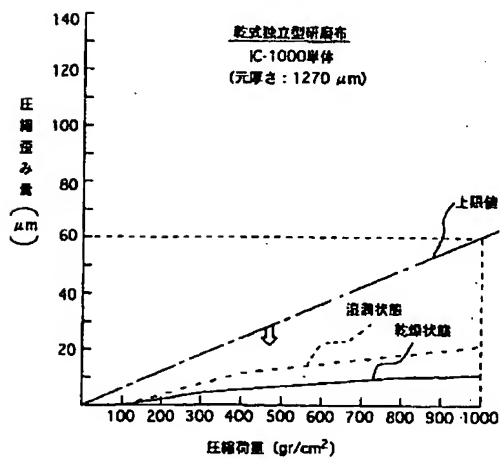
【図2】



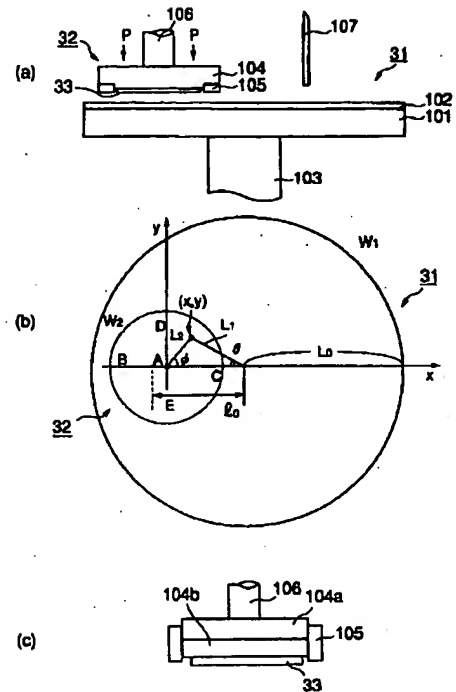
【図3】



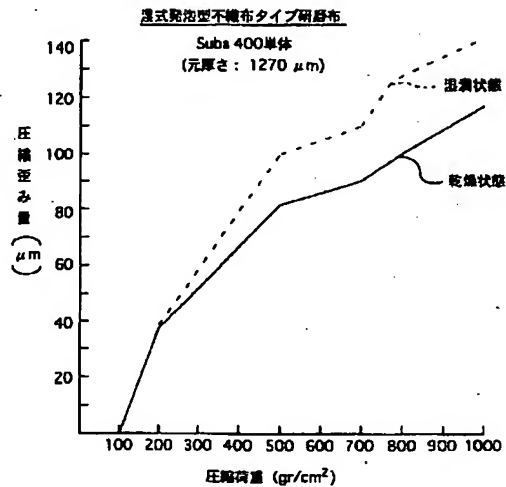
【図6】



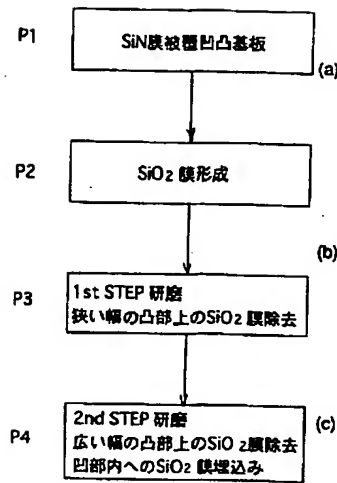
【図5】



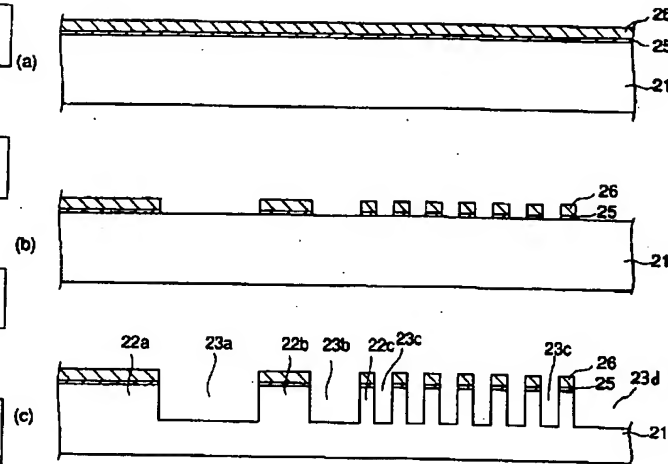
【図7】



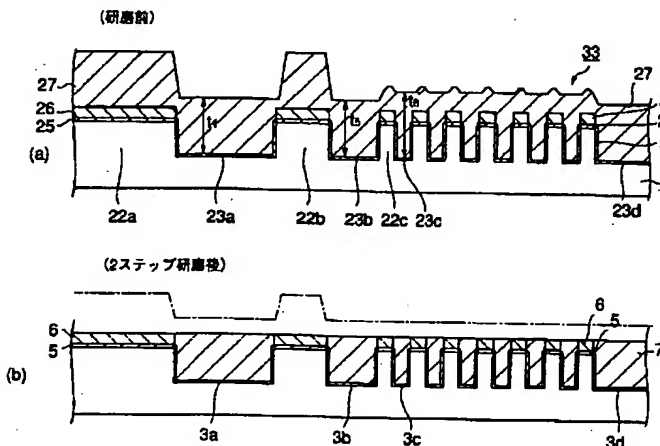
【図8】



【図9】



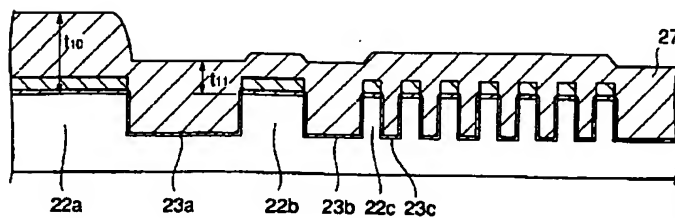
【図10】



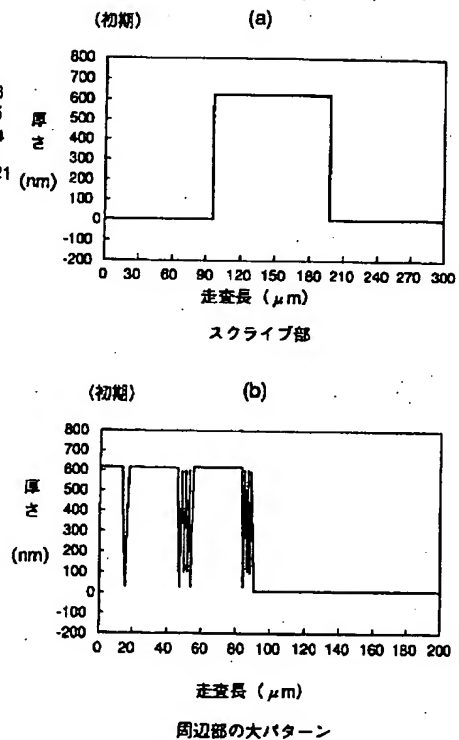
【図11】

t_{10} : 第1の素子領域
の絶縁膜の厚さ

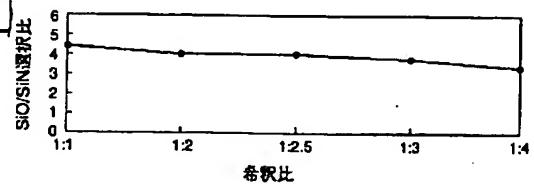
t_{11} : つき出し膜厚



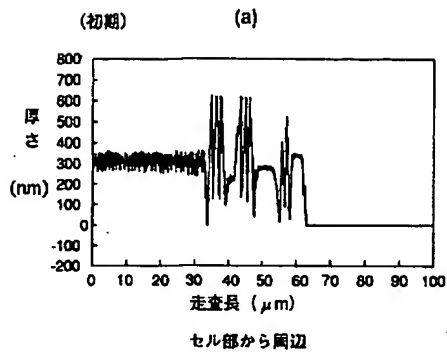
【図12】



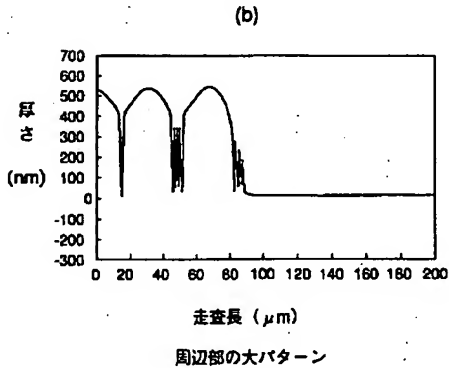
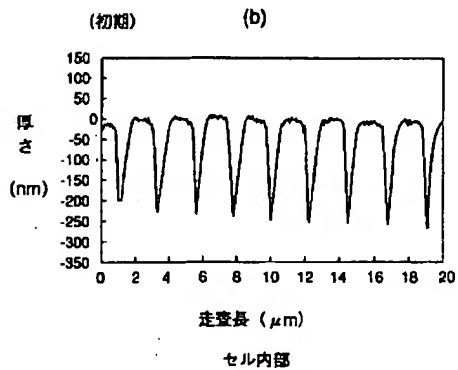
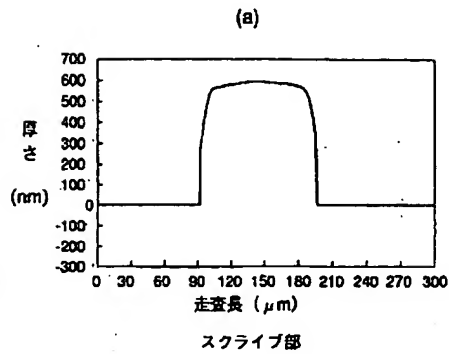
【図25】



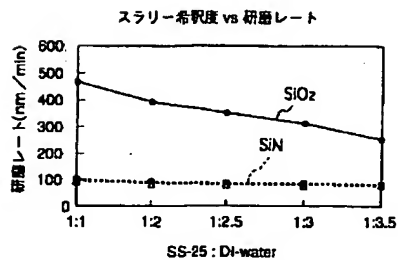
【図13】



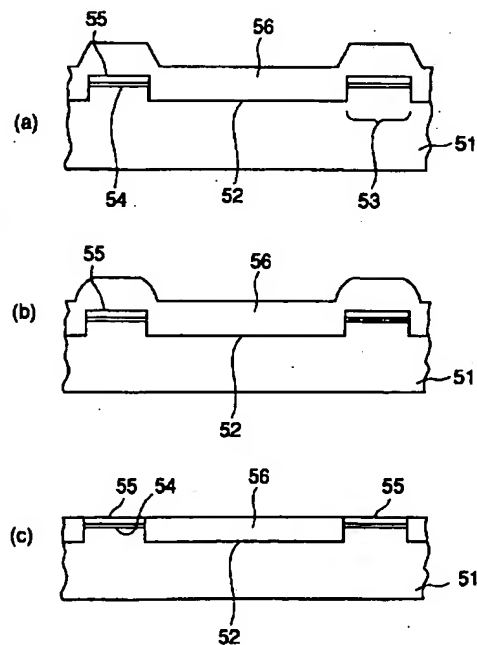
【図14】



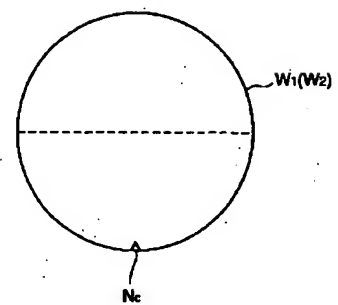
【図24】



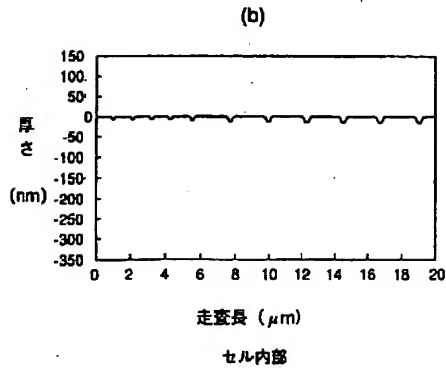
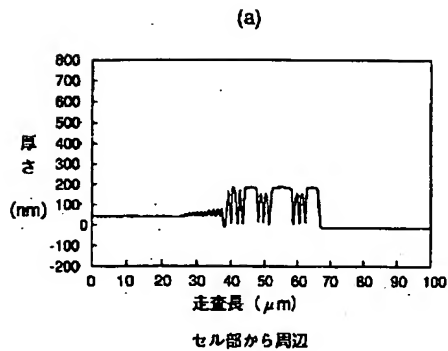
【図27】



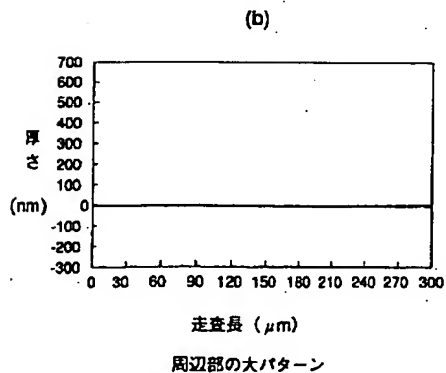
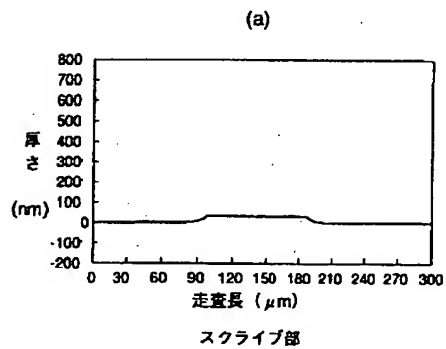
【図29】



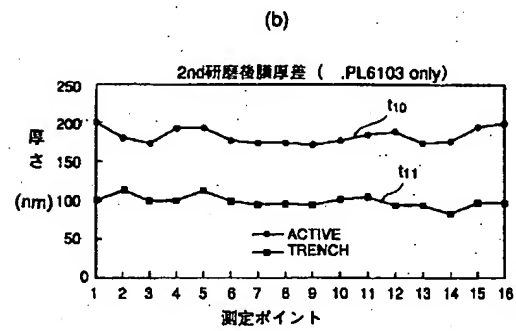
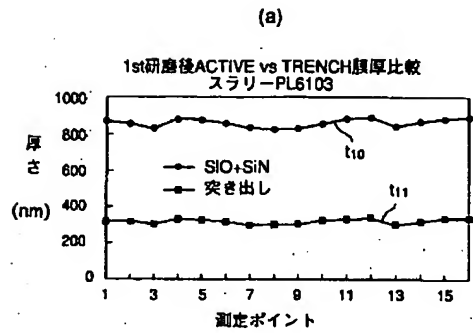
【図15】



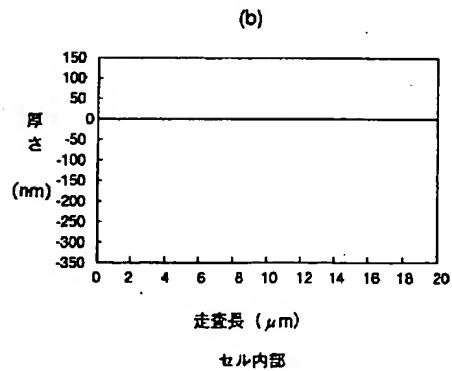
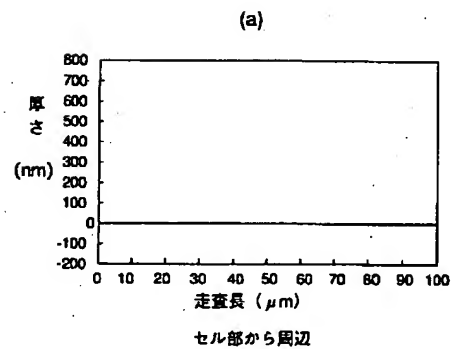
【図17】



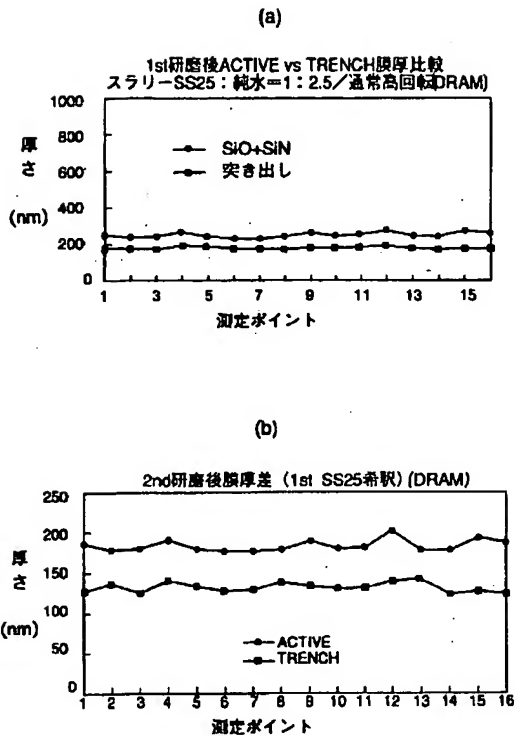
【図16】



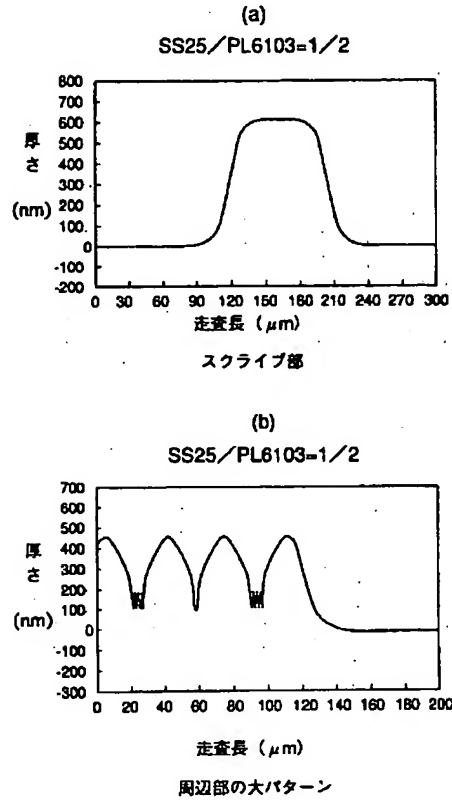
【図18】



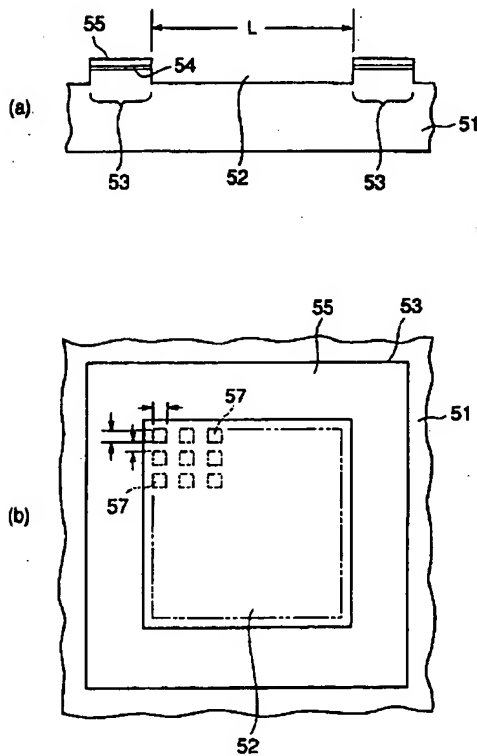
【図19】



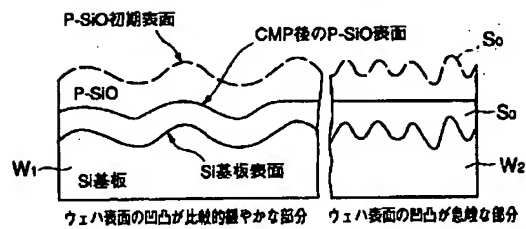
【図20】



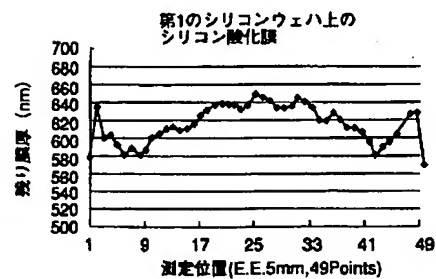
【図26】



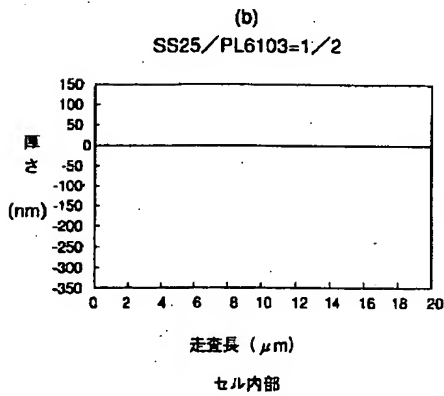
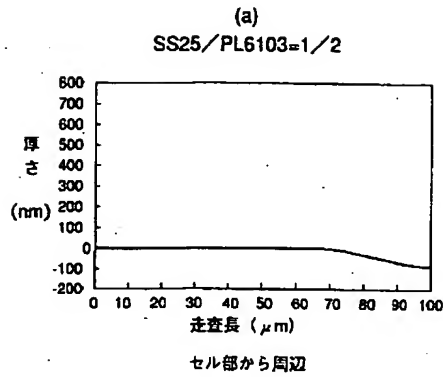
【図30】



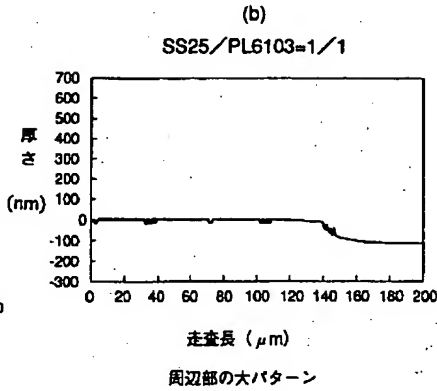
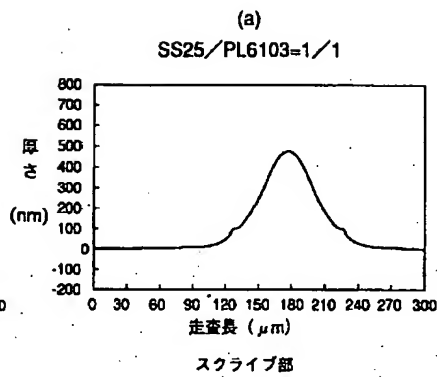
【図31】



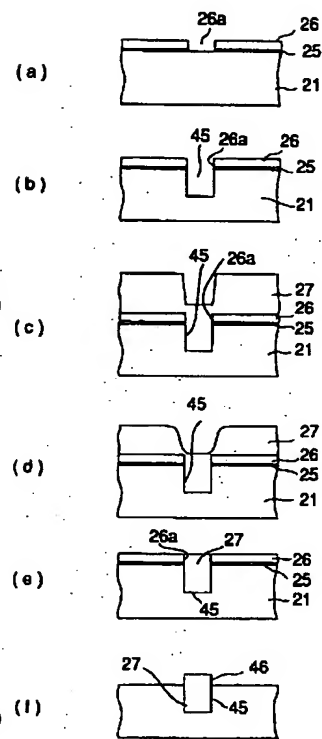
【図21】



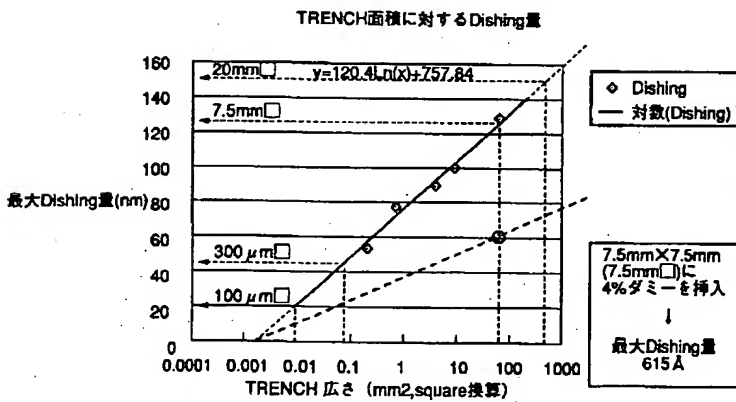
【図22】



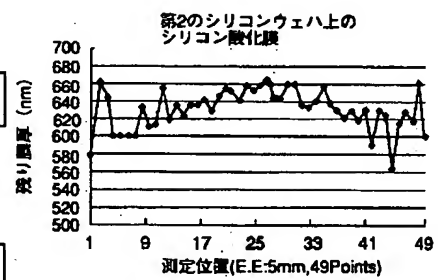
【図43】



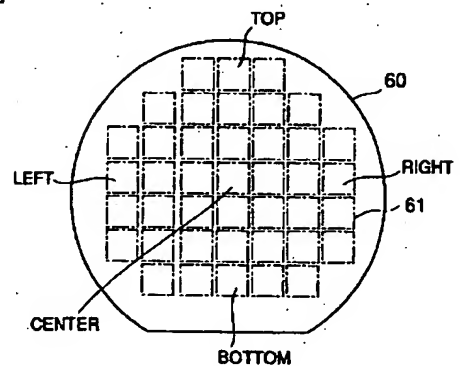
【図28】



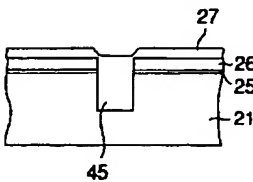
【図32】



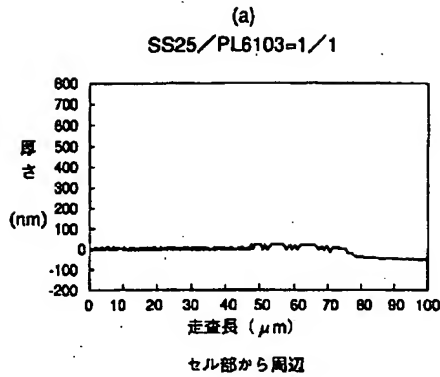
【図33】



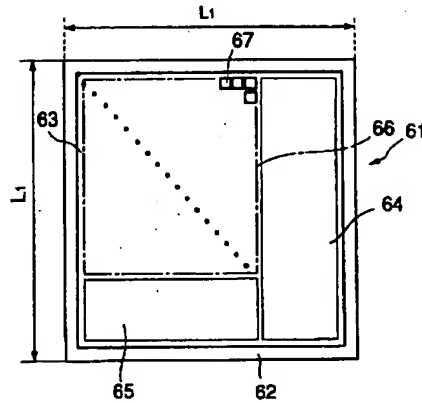
【図44】



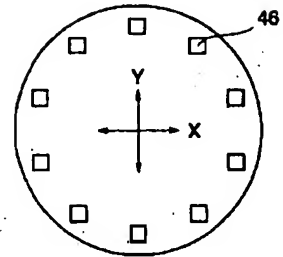
【図23】



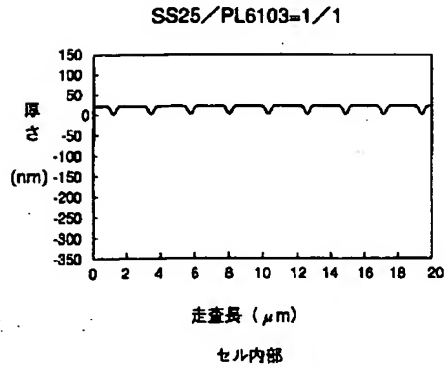
【図34】



【図45】

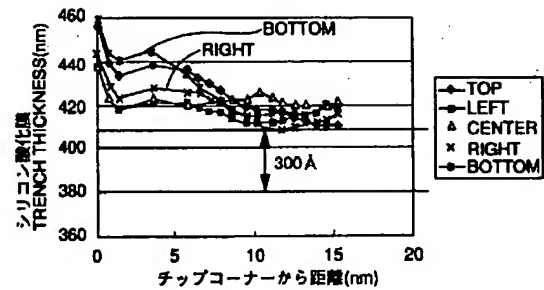


(b)



【図36】

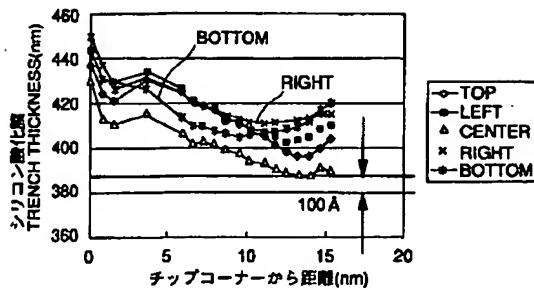
16%ダミーの場合



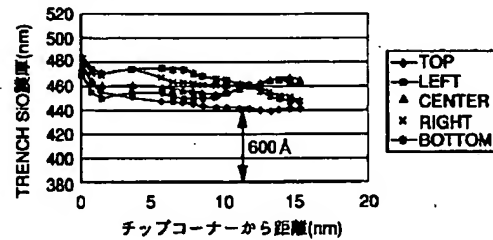
【図35】

【図39】

8%ダミーの場合



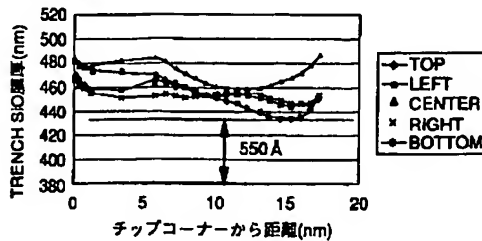
16%ダミーの場合



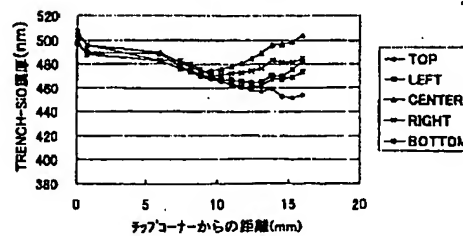
【図38】

【図41】

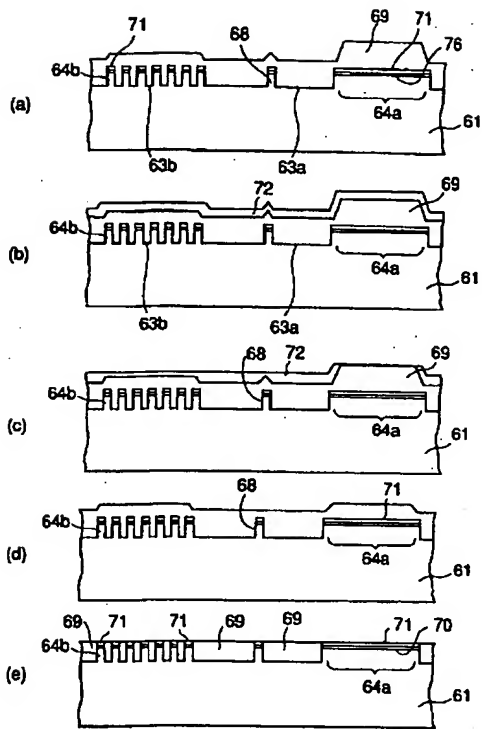
8%ダミーの場合



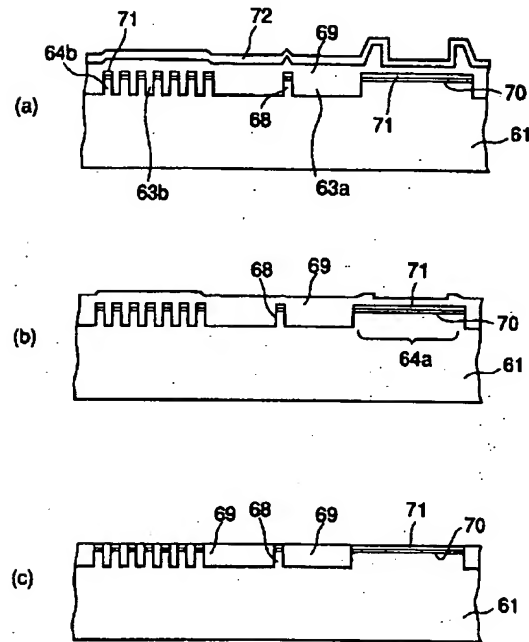
9U58 SN上乗せプロセス (FLZ有り)



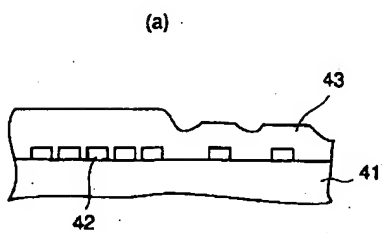
【図37】



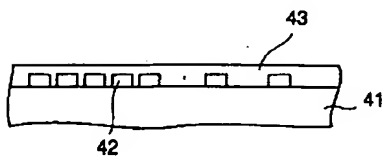
【図40】



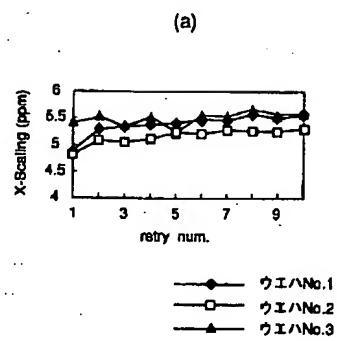
【図42】



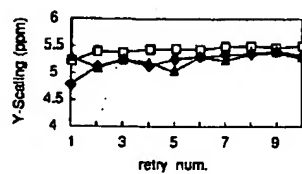
(b)



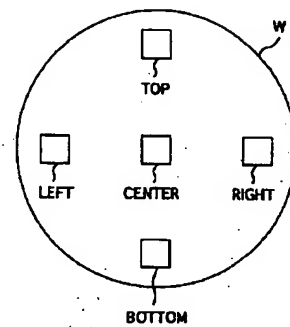
【図46】



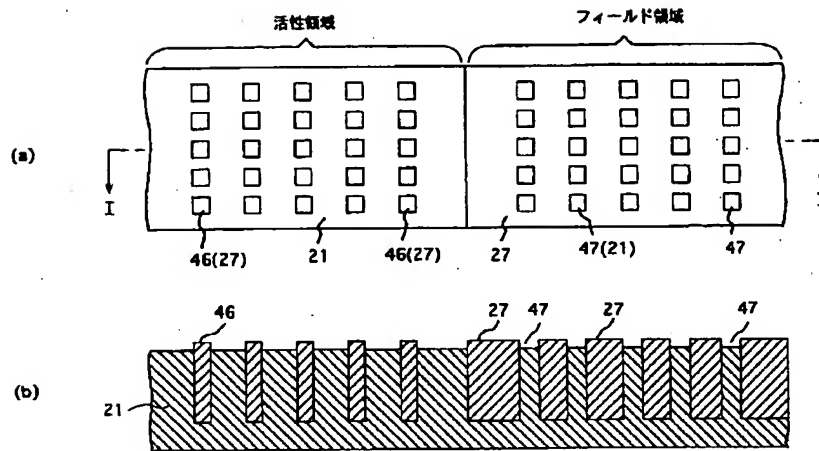
(b)



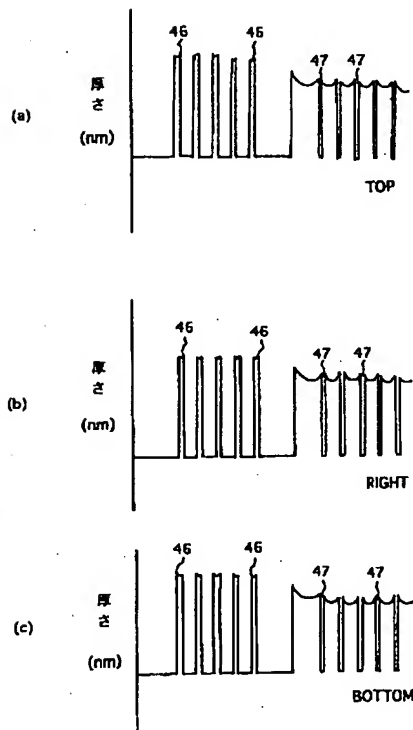
【図48】



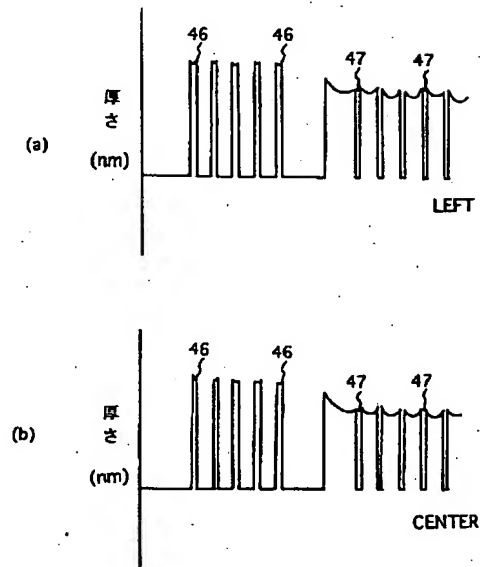
【図47】



【図49】



【図50】



フロントページの続き

(72)発明者 高田 尚幸
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 宮嶋 基守
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内
(72)発明者 宮田 修一
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(書2) 100-156360 (P2000-15JL8

Fターム(参考) 5F032 AA34 AA44 AA77 AA79 DA33